

**ANX-PR/CL/001-01**  
**GUÍA DE APRENDIZAJE**

**ASIGNATURA**

Sistemas empotrados

**CURSO ACADÉMICO - SEMESTRE**

2016-17 - Segundo semestre

## Datos Descriptivos

<b>Nombre de la Asignatura</b>	Sistemas empotrados
<b>Titulación</b>	59AC - Master Univ. en Sistemas y Servicios para la Sociedad de la Información
<b>Centro responsable de la titulación</b>	Escuela Técnica Superior de Ingeniería y Sistemas de Telecomunicación
<b>Semestre/s de impartición</b>	Segundo semestre
<b>Materias</b>	Electrónica
<b>Carácter</b>	Obligatoria
<b>Código UPM</b>	593000109
<b>Nombre en inglés</b>	Embedded systems

## Datos Generales

<b>Créditos</b>	5	<b>Curso</b>	1
<b>Curso Académico</b>	2016-17	<b>Período de impartición</b>	Febrero-Junio
<b>Idioma de impartición</b>	Inglés	<b>Otros idiomas de impartición</b>	

## Requisitos Previos Obligatorios

### Asignaturas Previas Requeridas

El plan de estudios Master Univ. en Sistemas y Servicios para la Sociedad de la Información no tiene definidas asignaturas previas superadas para esta asignatura.

### Otros Requisitos

El plan de estudios Master Univ. en Sistemas y Servicios para la Sociedad de la Información no tiene definidos otros requisitos para esta asignatura.

## Conocimientos Previos

### Asignaturas Previas Recomendadas

Arquitecturas digitales avanzadas

### Otros Conocimientos Previos Recomendados

Programming and debugging using the C language (with emphasis on structures, pointers and memory management)

Application of processor peripherals

Application of processor interrupts

Application of the Von Neumann's computer architecture



CAMPUS  
DE EXCELENCIA  
INTERNACIONAL

## UNIVERSIDAD POLITÉCNICA DE MADRID

Escuela Técnica Superior de Ingeniería y Sistemas de Telecomunicación

### PROCESO DE COORDINACIÓN DE LAS ENSEÑANZAS

ANX-PR/CL/001-01: GUÍA DE APRENDIZAJE



Código PR/CL/001

Analysis, application and design of wired digital circuits

## Competencias

---

CESI.3 - Capacidad de analizar y desarrollar sistemas empuotrados integrando sistemas operativos.

CESI.4 - Capacidad de desarrollar sistemas basados en dispositivos programables.

CGEN.1 - Capacidad para saber comunicar (de forma oral y escrita) las conclusiones ?y los conocimientos y razones últimas que las sustentan? a públicos especializados y no especializados de un modo claro y sin ambigüedades, tanto en español como en inglés.

## Resultados de Aprendizaje

---

RA17 - Analyze embedded systems, the technologies needed by them and the theoretical foundations for their systematic design

RA18 - Analyze and evaluate the operating systems deployable in an embedded system

RA19 - Deploy an operating system in an embedded processor

RA20 - Develop synthesizable V H D L models for combinational and sequential synchronous circuits

RA21 - Develop V H D L structural descriptions of digital systems

RA22 - Develop test-benches and simulate them in a V H D L simulator

RA23 - Shape the hardware architecture of a digital system

RA24 - Apply segmented digital design techniques

RA25 - Apply the simulation and synthesis tools of a C A D environ- ment

## Profesorado

---

### Profesorado

Nombre	Despacho	e-mail	Tutorías
Ruiz Gonzalez, Mariano	A4206	mariano.ruiz@upm.es	X - 16:30 - 17:30
Sanz Alvaro, Cesar	A6104	cesar.sanz@upm.es	X - 16:30 - 17:30
Juarez Martinez, Eduardo <b>(Coordinador/a)</b>	A4204	eduardo.juarez@upm.es	X - 16:30 - 17:30
Carpeño Ruiz, Antonio	A4219	antonio.cruiz@upm.es	X - 16:30 - 17:30

**Nota.-** Las horas de tutoría son orientativas y pueden sufrir modificaciones. Se deberá confirmar los horarios de tutorías con el profesorado.

## Descripción de la Asignatura

---

This course is a continuation of the Advanced Digital Architecture (ADA) course. While two of the technologies to implement an embedded system are taught in ADA, the third one, FPGA is covered here. The course begins with the basics of Programmable Logic Devices (PLD) as a target technology. Then, the VHDL language is applied to model two types of hierarchical digital subsystems: combinational and sequential. At last, in this block, VHDL test-bench specifications and stimuli are explained, applied and implemented. A complex VHDL test-bench specification is proposed as use-case to exercise the previous concepts.

Next block begins covering the architecture of current configurable embedded processors and the hardware design flow to synthesize the architecture of an embedded system. Afterwards, the software structure of an OS driver aimed to managed a custom-made peripheral is presented. At last, as a use-case, the student implements an embedded system consisting of a configurable embedded processor with a custom-made peripheral and its corresponding software.

## Temario

---

1. Programmable Logic Devices
2. VHDL Language
3. Parallelism & Pipelining
4. Functional Verification and Test-Bench Design
5. Intermediate Project: Complex Peripheral Verification
6. Configurable Embedded Systems
7. Software Design Flow for Embedded Systems
8. Course Project

## Cronograma

**Horas totales:** 47 horas y 30 minutos

**Horas presenciales:** 46 horas (35.4%)

**Peso total de actividades de evaluación continua:**  
100%

**Peso total de actividades de evaluación sólo prueba final:**  
100%

Semana	Actividad Presencial en Aula	Actividad Presencial en Laboratorio	Otra Actividad Presencial	Actividades Evaluación
Semana 1	<p><b>Course Introduction</b> Duración: 00:45 LM: Actividad del tipo Lección Magistral</p> <p><b>Lesson 1: Programmable Logic Devices Review</b> Duración: 02:15 LM: Actividad del tipo Lección Magistral</p>			<p><b>Lesson 1. Assessment of the proposed exercise</b> Duración: 00:15 EP: Técnica del tipo Examen de Prácticas Evaluación continua Actividad no presencial</p>
Semana 2	<p><b>Lesson 2: Designing with Hardware Description Languages (HDL)</b> Duración: 00:30 LM: Actividad del tipo Lección Magistral</p> <p><b>Lesson 2: VHDL Language</b> Duración: 01:30 LM: Actividad del tipo Lección Magistral</p>	<p><b>Lesson 2: Design flow for VHDL models using CAD tools</b> Duración: 00:45 PL: Actividad del tipo Prácticas de Laboratorio</p>		<p><b>Lesson 2. Hands-on exercises to assess Modelsim proficiency</b> Duración: 00:15 EP: Técnica del tipo Examen de Prácticas Evaluación continua Actividad presencial</p> <p><b>Lesson 2. Assessment of the implementation and test-bench of some example circuits</b> Duración: 00:15 TI: Técnica del tipo Trabajo Individual Evaluación continua Actividad no presencial</p>
Semana 3	<p><b>Lesson 2: VHDL Language</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral</p> <p><b>Lesson 3: Parallelism &amp; Pipelining</b> Duración: 01:00 LM: Actividad del tipo Lección Magistral</p>			
Semana 4	<p><b>Lesson 3: Parallelism &amp; Pipelining</b> Duración: 01:00 LM: Actividad del tipo Lección Magistral</p> <p><b>Lesson 4. VHDL language syntax for functional verification. Test-bench design</b> Duración: 02:00 LM: Actividad del tipo Lección Magistral</p>			<p><b>Lesson 3. Assessment of the proposed exercises</b> Duración: 00:15 TI: Técnica del tipo Trabajo Individual Evaluación continua Actividad no presencial</p>
Semana 5		<p><b>Lesson 4: Design of the test-bench of a simple given entity using signal generation, procedures and complex stimuli</b> Duración: 03:00 PL: Actividad del tipo Prácticas de Laboratorio</p>		<p><b>Lesson 4. Assessment of the design of the test-bench of a simple given entity using signal generation, procedures and complex stimuli</b> Duración: 00:15 TI: Técnica del tipo Trabajo Individual Evaluación continua Actividad no presencial</p>

**PROCESO DE COORDINACIÓN DE LAS ENSEÑANZAS**

ANX-PR/CL/001-01: GUÍA DE APRENDIZAJE

Código PR/CL/001

Semana 6		<p><b>Lesson 5: Implementation of the functional verification of a complex peripheral specified in VHDL</b></p> <p>Duración: 03:00</p> <p>PL: Actividad del tipo Prácticas de Laboratorio</p>		
Semana 7		<p><b>Lesson 5: Implementation of the functional verification of a complex peripheral specified in VHDL</b></p> <p>Duración: 03:00</p> <p>PL: Actividad del tipo Prácticas de Laboratorio</p>		
Semana 8	<p><b>Lesson 6: Concept of Configurable Embedded System. Current Configurable Embedded Systems</b></p> <p>Duración: 03:00</p> <p>LM: Actividad del tipo Lección Magistral</p>			
Semana 9	<p><b>Lesson 6: Case-Study of Cyclone V SOC</b></p> <p>Duración: 03:00</p> <p>OT: Otras actividades formativas</p>			
Semana 10		<p><b>Lesson 6: Synthesis of a Given Configurable Embedded System Architecture on a FPGA-based board</b></p> <p>Duración: 03:00</p> <p>PL: Actividad del tipo Prácticas de Laboratorio</p>		<p><b>Lesson 6. Assesment os the synthesis of a given configurable embedded system architecture on a FPGA-based board.</b></p> <p>Duración: 00:15</p> <p>TI: Técnica del tipo Trabajo Individual</p> <p>Evaluación continua</p> <p>Actividad no presencial</p>
Semana 11	<p><b>Lesson 7: Fundamentals of Linux Driver Development. The structure of a Linux Driver Module</b></p> <p>Duración: 03:00</p> <p>LM: Actividad del tipo Lección Magistral</p>			
Semana 12	<p><b>Lesson 7: Case-Study. Linux kernel support for inter-context data exchange, memory allocation, synchronization, timing, hw communication and interrupt management</b></p> <p>Duración: 03:00</p> <p>OT: Otras actividades formativas</p>			
Semana 13		<p><b>Lesson 7. Tutorial: deploying a Embedded Linux OS on a configurable embedded system using a SoC</b></p> <p>Duración: 03:00</p> <p>PL: Actividad del tipo Prácticas de Laboratorio</p>		
Semana 14		<p><b>Lesson 7. Tutorial: deploying a Embedded Linux OS on a configurable embedded system using a SoC</b></p> <p>Duración: 03:00</p> <p>PL: Actividad del tipo Prácticas de Laboratorio</p>		<p><b>Lesson 7. Assessment of the deployment of a linux OS on a configurable embedded system with a device driver</b></p> <p>Duración: 00:15</p> <p>TI: Técnica del tipo Trabajo Individual</p> <p>Evaluación continua</p> <p>Actividad no presencial</p>
Semana 15				
Semana 16				



Semana 17				<p><b>Lesson 8. Assesment of the synthesis of an embedded system comprising a configurable embedded processor with a custom made peripheral and its accompanying software to fit a given application</b></p> <p>Duración: 02:00</p> <p>Tl: Técnica del tipo Trabajo Individual</p> <p>Evaluación continua</p> <p>Actividad presencial</p> <p><b>Lesson 5. Assesment of the intermediate project: complex peripheral verification</b></p> <p>Duración: 02:00</p> <p>Tl: Técnica del tipo Trabajo Individual</p> <p>Evaluación continua</p> <p>Actividad presencial</p> <p><b>Lesson 8 (solo prueba final)</b></p> <p>Duración: 00:15</p> <p>Tl: Técnica del tipo Trabajo Individual</p> <p>Evaluación sólo prueba final</p> <p>Actividad no presencial</p> <p><b>Lesson 5 (solo prueba final)</b></p> <p>Duración: 00:15</p> <p>Tl: Técnica del tipo Trabajo Individual</p> <p>Evaluación sólo prueba final</p> <p>Actividad no presencial</p> <p><b>Written exam Lessons 5 and 8 (solo prueba final)</b></p> <p>Duración: 01:30</p> <p>EX: Técnica del tipo Examen Escrito</p> <p>Evaluación sólo prueba final</p> <p>Actividad presencial</p> <p><b>Practice exam Lessons 5 and 8 (solo prueba final)</b></p> <p>Duración: 01:30</p> <p>EX: Técnica del tipo Examen Escrito</p> <p>Evaluación sólo prueba final</p> <p>Actividad presencial</p> <p><b>Oral exam (solo prueba final)</b></p> <p>Duración: 02:00</p> <p>OT: Otras técnicas evaluativas</p> <p>Evaluación sólo prueba final</p> <p>Actividad presencial</p>
-----------	--	--	--	---

**Nota.-** El cronograma sigue una planificación teórica de la asignatura que puede sufrir modificaciones durante el curso.

**Nota 2.-** Para poder calcular correctamente la dedicación de un alumno, la duración de las actividades que se repiten en el tiempo (por ejemplo, subgrupos de prácticas") únicamente se indican la primera vez que se definen.

## Actividades de Evaluación

Semana	Descripción	Duración	Tipo evaluación	Técnica evaluativa	Presencial	Peso	Nota mínima	Competencias evaluadas
1	Lesson 1. Assessment of the proposed exercise	00:15	Evaluación continua	EP: Técnica del tipo Examen de Prácticas	No	5%	5 / 10	CGEN.1 , CESI.3
2	Lesson 2. Hands-on exercises to assess Modelsim proficiency	00:15	Evaluación continua	EP: Técnica del tipo Examen de Prácticas	Sí	5%	5 / 10	CGEN.1 , CESI.3
2	Lesson 2. Assesment of the implementation and test-bench of some example circuits	00:15	Evaluación continua	TI: Técnica del tipo Trabajo Individual	No	5%	5 / 10	CGEN.1 , CESI.3
4	Lesson 3. Assesment of the proposed exercises	00:15	Evaluación continua	TI: Técnica del tipo Trabajo Individual	No	10%	5 / 10	CGEN.1 , CESI.3
5	Lesson 4. Assesment of the design of the test-bench of a simple given entity using signal generation, procedures and complex stimuli	00:15	Evaluación continua	TI: Técnica del tipo Trabajo Individual	No	5%	5 / 10	CGEN.1 , CESI.3
10	Lesson 6. Assesment os the synthesis of a given configurable embedded system architecture on a FPGA-based board.	00:15	Evaluación continua	TI: Técnica del tipo Trabajo Individual	No	5%	5 / 10	CGEN.1 , CESI.4
14	Lesson 7. Assessment of the deployment of a linux OS on a configurable embedded system with a device driver	00:15	Evaluación continua	TI: Técnica del tipo Trabajo Individual	No	5%	5 / 10	CESI.4 , CGEN.1
17	Lesson 8. Assesment of the synthesis of an embedded system comprising a configurable embedded processor with a custom made peripheral and its accompanying software to fit a given application	02:00	Evaluación continua	TI: Técnica del tipo Trabajo Individual	Sí	40%	5 / 10	CGEN.1 , CESI.4
17	Lesson 5. Assesment of the intermediate project: complex peripheral verification	02:00	Evaluación continua	TI: Técnica del tipo Trabajo Individual	Sí	20%	5 / 10	CGEN.1 , CESI.3
17	Lesson 8 (solo prueba final)	00:15	Evaluación sólo prueba final	TI: Técnica del tipo Trabajo Individual	No	20%	5 / 10	CGEN.1 , CESI.4
17	Lesson 5 (solo prueba final)	00:15	Evaluación sólo prueba final	TI: Técnica del tipo Trabajo Individual	No	20%	5 / 10	CGEN.1
17	Written exam Lessons 5 and 8 (solo prueba final)	01:30	Evaluación sólo prueba final	EX: Técnica del tipo Examen Escrito	Sí	20%	5 / 10	CGEN.1 , CESI.3 , CESI.4
17	Practice exam Lessons 5 and 8 (solo prueba final)	01:30	Evaluación sólo prueba final	EX: Técnica del tipo Examen Escrito	Sí	20%	5 / 10	CGEN.1 , CESI.3 , CESI.4
17	Oral exam (solo prueba final)	02:00	Evaluación sólo prueba final	OT: Otras técnicas evaluativas	Sí	20%	5 / 10	CGEN.1 , CESI.3 , CESI.4

## Crterios de Evaluación

It is mandatory to select assessment method between continuous assessment and final assessment in the first two weeks of the course.

### Continuous Assessment

The continuous assessment will be carried out based in the following components:

- o Exercises proposed at the end of each lesson
- o An intermediate project consisting of the verification of a simple peripheral

o A final project consisting of the synthesis of an embedded system comprising a configurable embedded processor

The course grade will be composed of the following elements:

- o Assessment of the proposed exercises: 40% (4 points)
- o Assessment of the intermediate project: 20% (2 points)
- o Assessment of the final project: 40% (4 points)

In each of the elements, a grade greater than or equal to 5.0 points is required

The "Examen Extraordinario" assessment will consist of the same components and weights as those of the "Solo Prueba Final" assessment

#### "Solo Prueba Final" Assessment

The "Solo Prueba Final" assessment will consist of the following components:

- o Project I (lesson 5): simple peripheral verification
- o Project II (lesson 8): synthesis of an embedded system comprising a configurable embedded processor
- o Exam of projects I and II: it is a written and practice exam of the projects I and II
- o Oral exam about the exercises proposed along the course

The grade will be composed of the following elements:

- o Assessment of project I: 20% (2 points)
- o Assessment of project II: 20% (2 points)
- o Exam of projects I and II: 40% (4 points)
- o Oral exam: 20% (2 points)

In each of the elements, a grade greater than or equal to 5.0 points is required

## Recursos Didácticos

Descripción	Tipo	Observaciones
VHDL for Logic Synthesis	Bibliografía	Andrew Rushton Wiley; 2 edition (July 7, 1998) 390 pages ISBN: 978-0471983255
The Design Warrior's Guide to	Bibliografía	Clive Maxfield Elsevier; 2004 542 pages ISBN: 978-0750676045
Altera Cyclone V SoC Literature	Recursos web	Freely downloadable from Altera's web page at <a href="http://www.altera.com">http://www.altera.com</a>
Linux Device Drivers, 3rd edition	Bibliografía	Jonathan Corbet, Alessandro Rubini & Greg Kroah-Hartman O'Reilly Media; 3 edition (February 7, 2005) 640 pages ISBN: 978-0596005900 Freely downloadable from <a href="http://lw.net/Kernel/LDD3">http://lw.net/Kernel/LDD3</a>
Nios Wiki	Recursos web	<a href="http://www.nioswiki.com">http://www.nioswiki.com</a> , although recently moved to <a href="http://www.alterawiki.com">http://www.alterawiki.com</a> Contains valuable information about uClinux OS deployment upon Nios II based systems