

Electrónica Digital

Tema 2

Dispositivos Lógicos Programables (PLD)

Dispositivos Lógicos Programables

- Introducción.
- Dispositivos Lógicos Programables Sencillos.
- Dispositivos Lógicos Programables Complejos.
- FPGAs.
- PLDs con Procesadores Empotrados. *Soft cores*.
- Consideraciones para la elección de un PLD.
- Tabla comparativa.
- Ejemplo de sistema: tarjeta PRINCE.

Dispositivos Lógicos Programables. Introducción

- Los PLDs son dispositivos electrónicos digitales cuya funcionalidad puede ser programada por el usuario.
- El modo en que las funciones lógicas deseadas se materializan en el dispositivo depende de la estructura interna del mismo.
- Son componentes disponibles comercialmente y configurables directamente por el usuario.

Dispositivos Lógicos Programables. Introducción

- Materialización de funciones lógicas:
 - Estructuras AND-OR.
 - Multiplexores.
 - Memorias RAM.
- Además incluyen otros elementos:
 - *Flip-flops.*
 - Memorias.
 - ...

Dispositivos Lógicos Programables. Introducción

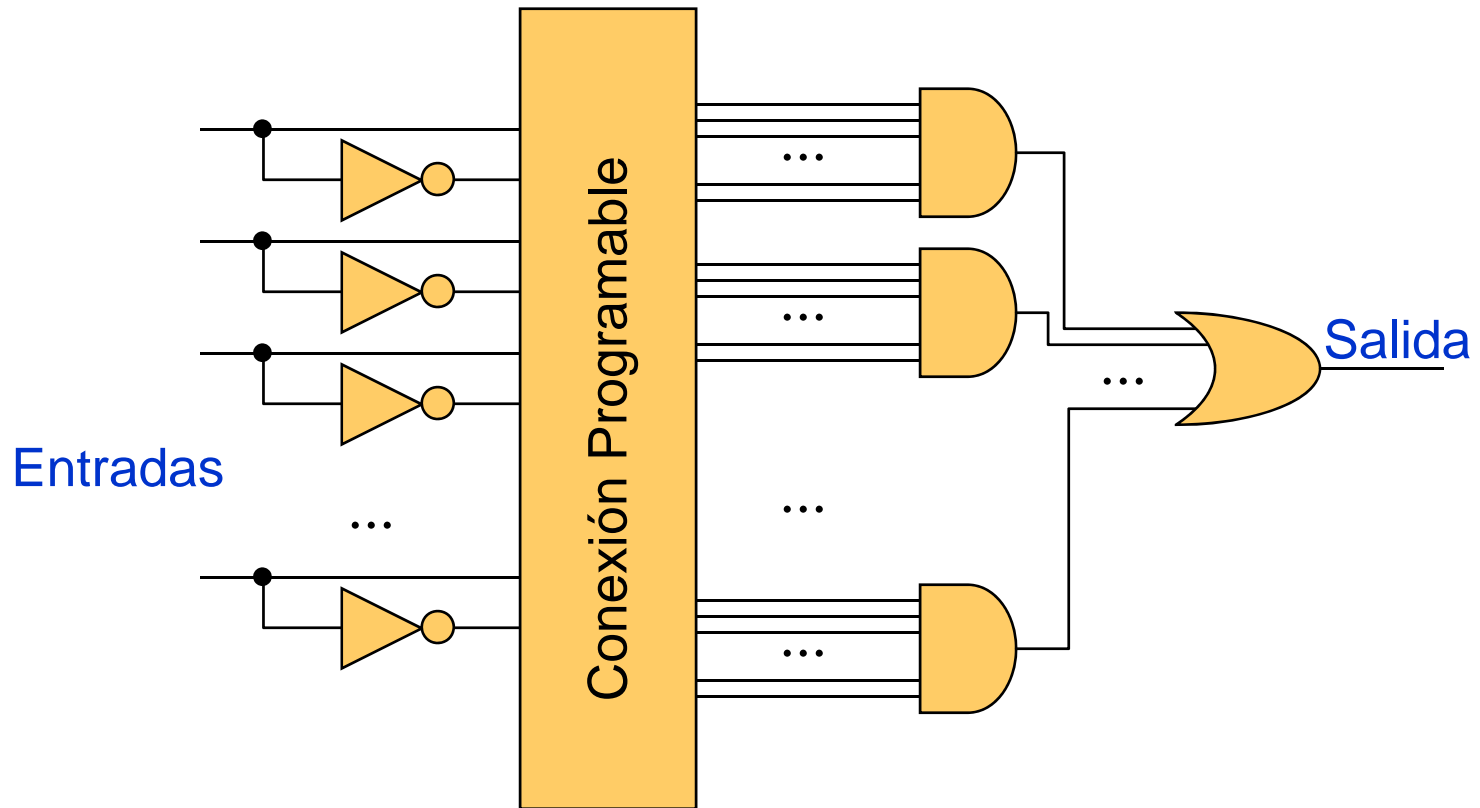
Estructuras AND-OR

- Materialización de funciones como suma de productos (minitérminos).
- Permiten configurar un número limitado de minitérminos que se suman en una OR lógica.
- Se suelen conocer con el acrónimo PAL (*Programmable Array Logic*).

Dispositivos Lógicos Programables. Introducción

Estructuras AND-OR

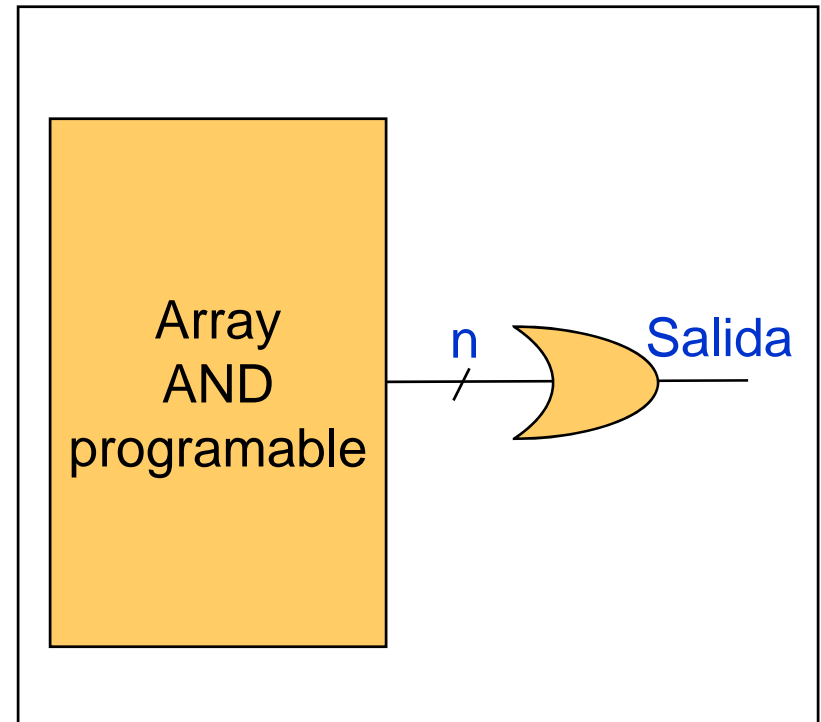
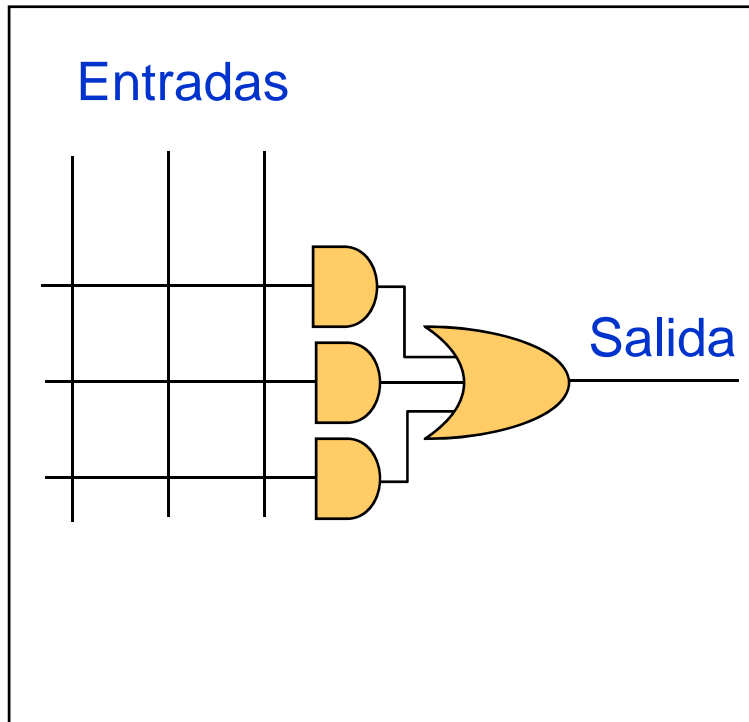
– Arquitectura:



Dispositivos Lógicos Programables. Introducción

Estructuras AND-OR

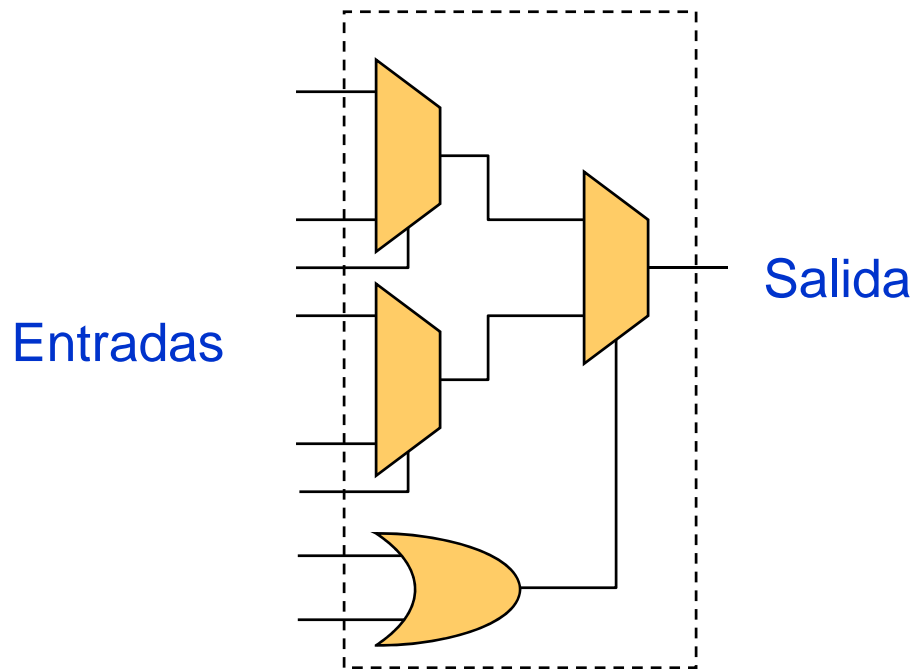
– Otras simbologías:



Dispositivos Lógicos Programables. Introducción

Multiplexores

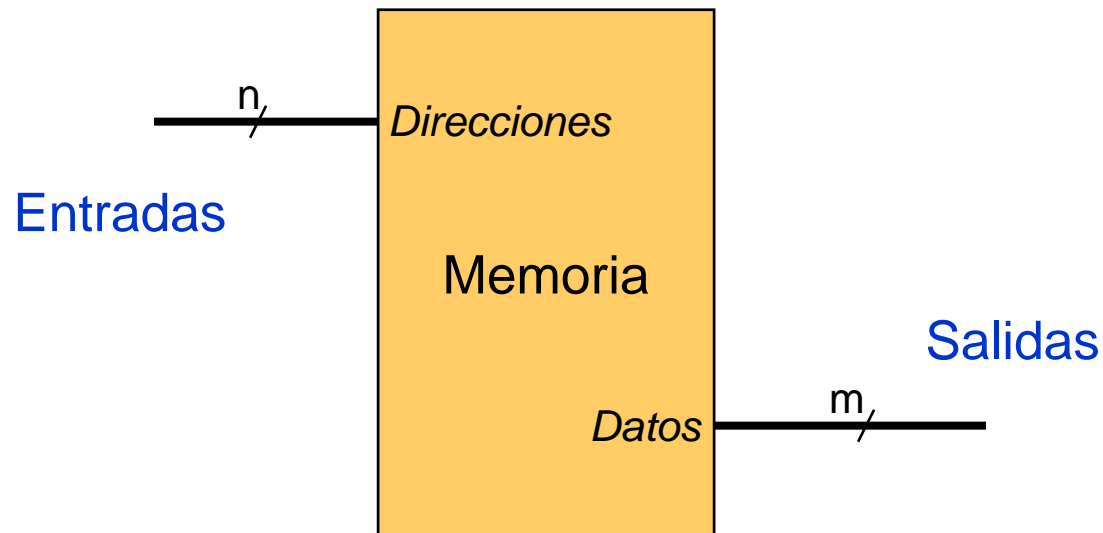
- Otra forma de materializar funciones lógicas.
- No suele emplearse en PLD sencillos.
- Arquitectura:



Dispositivos Lógicos Programables. Introducción

Memorias

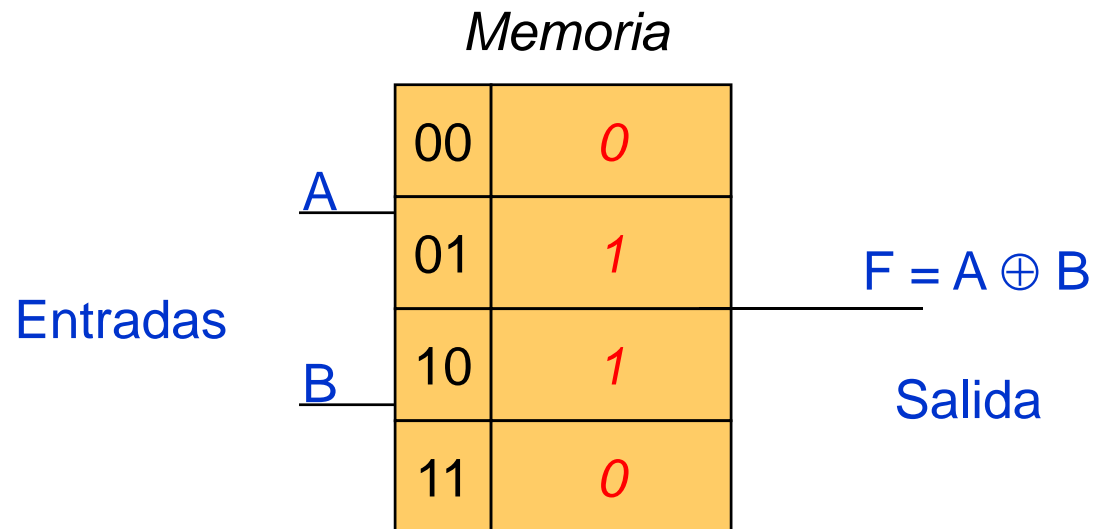
- Almacenamiento en una memoria RAM de la tabla de verdad de una función combinacional.
- No suele emplearse en PLD sencillos.
- Se les denomina *look-up tables* (LUT).



Dispositivos Lógicos Programables. Introducción

Memorias

- Ejemplo: *Memoria de 4 × 1 bit.*



Dispositivos Lógicos Programables. Introducción

Características de los PLDs

- **Velocidad:** Mayor que series estándar; menor que ASICs.
 - Tiempos de LUT + FF inferiores a 1ns.
- **Densidad de Integración:** Menor que ASICs.
 - Hasta 10 Mpuertas + Memoria + HW específico (multiplicadores, procesadores, etc.).
- **Coste de Desarrollo:** Mucho menor que ASICs.
- **Prototipado y Verificación:** Más sencillos que en ASICs.
 - Configuración (RAM o Flash) *in-system*.
- **Modificación de diseños:** Sencilla.
- **Coste:**
 - Depende del volumen.
 - Parámetro **€/puerta** cada vez menor.

Dispositivos Lógicos Programables. Introducción

Fuerte competencia comercial → multitud de siglas:

- PLD: Programmable Logic Device.
- PLA: Programmable Logic Array.
- PAL: Programmable Array Logic.
- GAL: Generic Array Logic.
- CPLD: Complex PLD.
- EPLD: Erasable PLD.
- HCPLD: High Complexity PLD.
- LCA: Logic Cell Array.
- FPGA: Field Programmable Gate Array. ...etc

Dispositivos Lógicos Programables. Introducción

Clasificación:

- PLD sencillos:
 - Arquitecturas PAL.
- PLD complejos:
 - Agrupación de los anteriores en un único chip.
- FPGAs:
 - *Look-up tables* o multiplexores.
- PLD con procesadores empotrados:
 - FPGAs más hardware específico (multiplicadores, microprocesadores de propósito general, DSP, interfaces,...).

Mayor densidad de integración

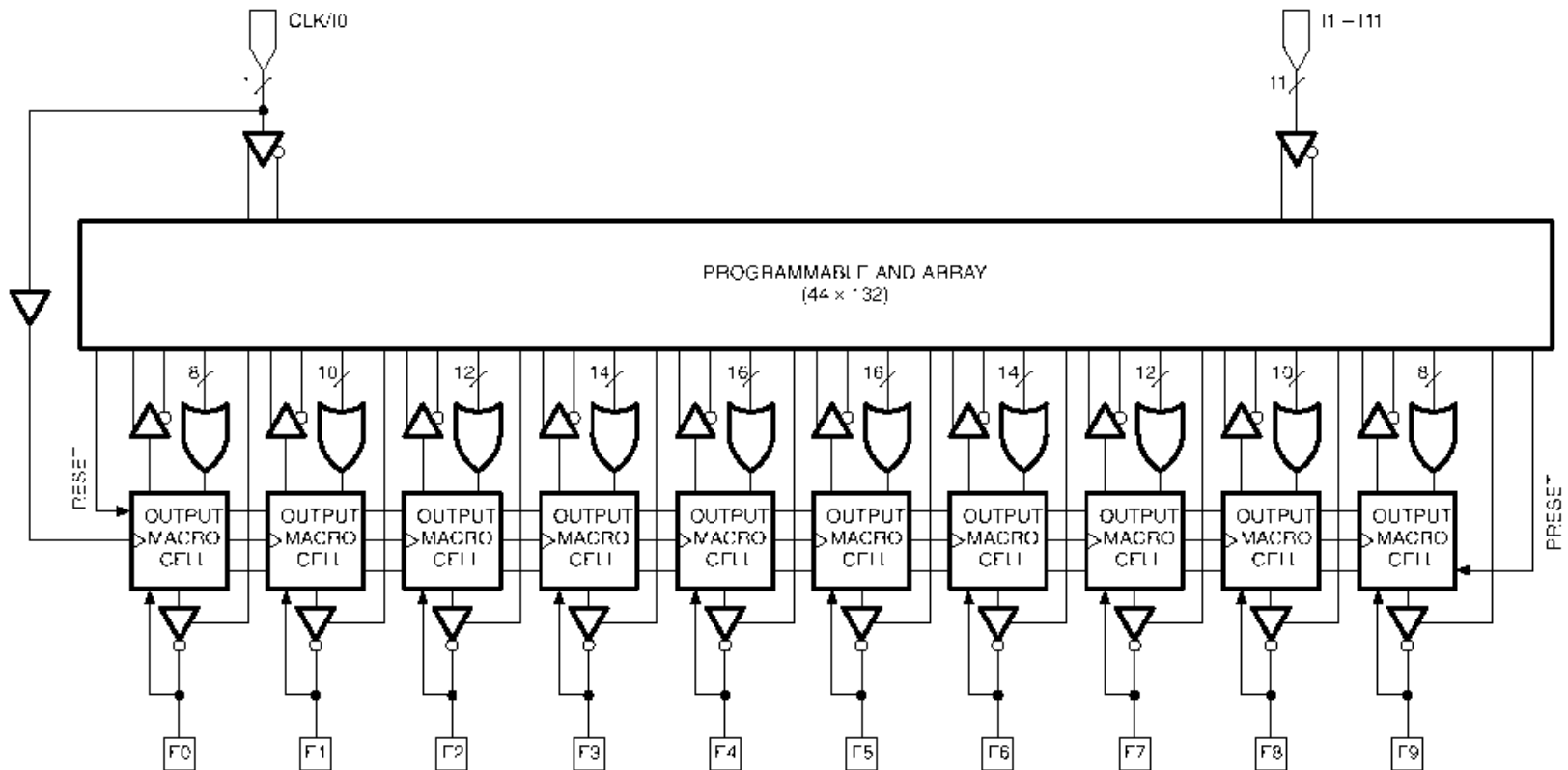
Dispositivos Lógicos Programables. Introducción

Configuración de los dispositivos:

- Configuración no volátil:
 - EPROM, EEPROM (Floating Gate Programming Technology).
 - PROM (Antifuse Programming Technology).
- Configuración volátil:
 - Memoria RAM.
- Modos de Configuración:
 - Separando el circuito de la tarjeta (dispositivos antiguos o muy sencillos).
 - Programación en el sistema (*In System Programmability*, ISP).

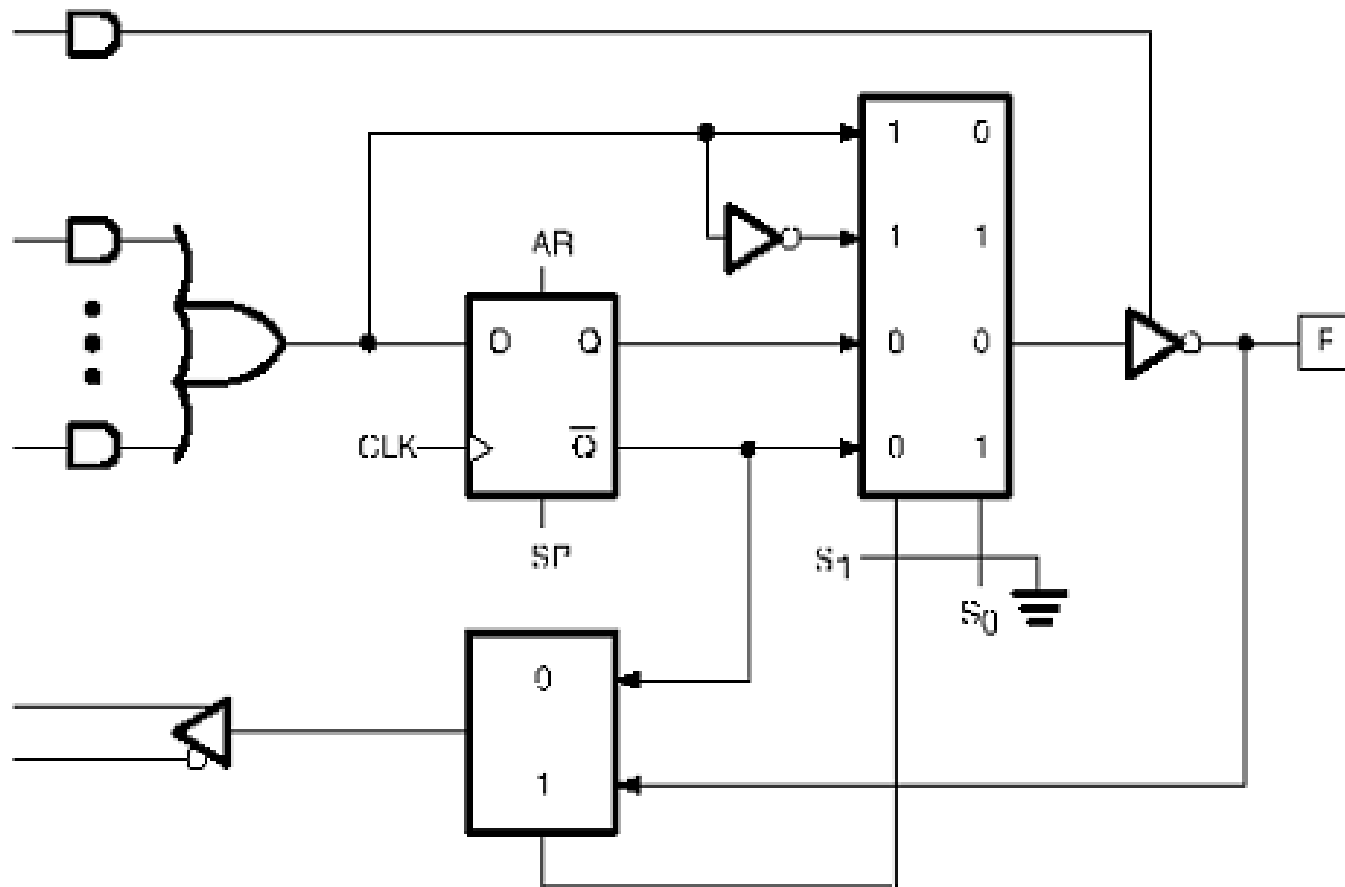
Dispositivos Lógicos Programables sencillos

PALCE22V10: Diagrama de bloques.



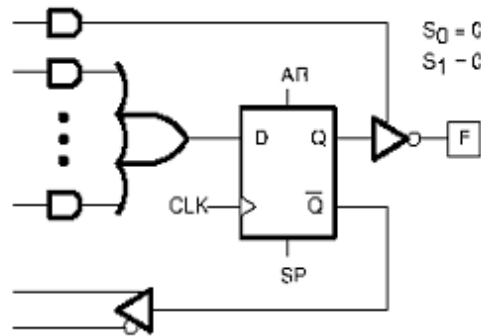
Dispositivos Lógicos Programables sencillos

PALCE22V10: Detalle de la Macrocelda de salida.

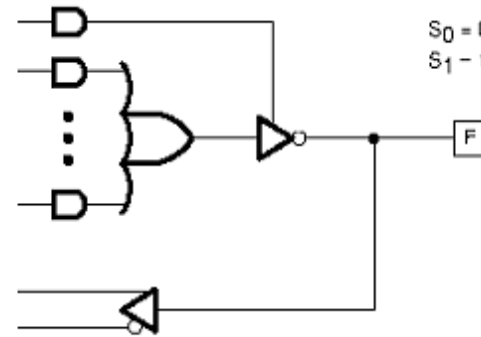


Dispositivos Lógicos Programables sencillos

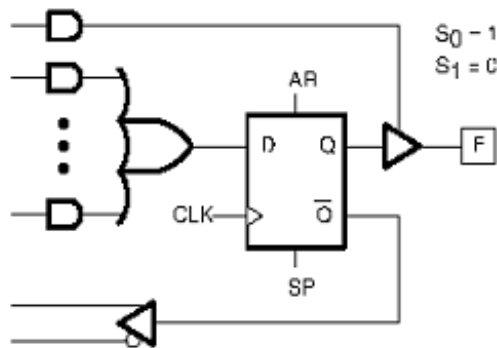
PALCE22V10: Posibles configuraciones de salida.



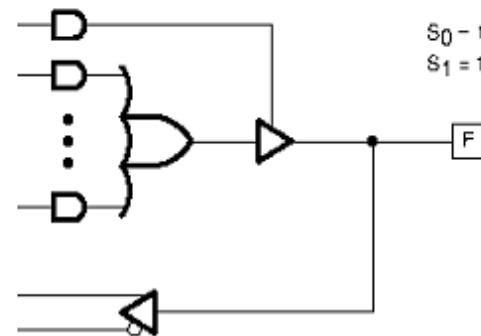
a. Registered/Active-LOW



c. Combinatorial/Active-LOW



b. Registered/Active-HIGH



d. Combinatorial/Active-HIGH

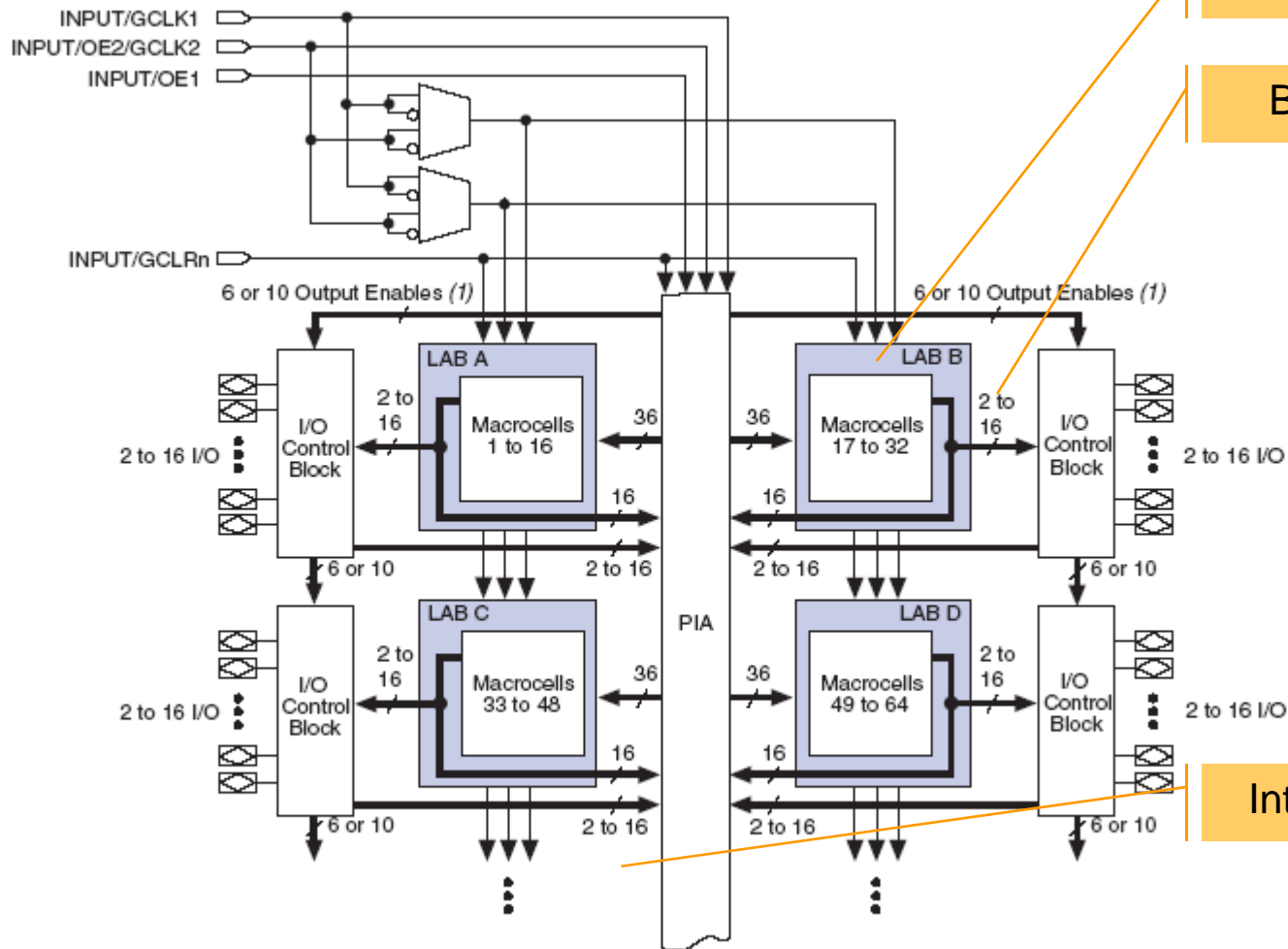
Dispositivos Lógicos Programables Complejos

Elementos constitutivos

- Bloques lógicos.
 - Permiten la materialización de las funciones lógicas.
 - Típicamente son estructuras PAL y *flip-flops*.
- Bloques de entrada/salida.
 - Asociados a los pines del dispositivo.
 - Permiten diversas configuraciones: entrada, salida, bidireccional, registrada, no registrada, etc.
- Recursos de interconexión.
 - Permiten la conexión entre bloques de los descritos anteriormente.
 - Introducen retardo.

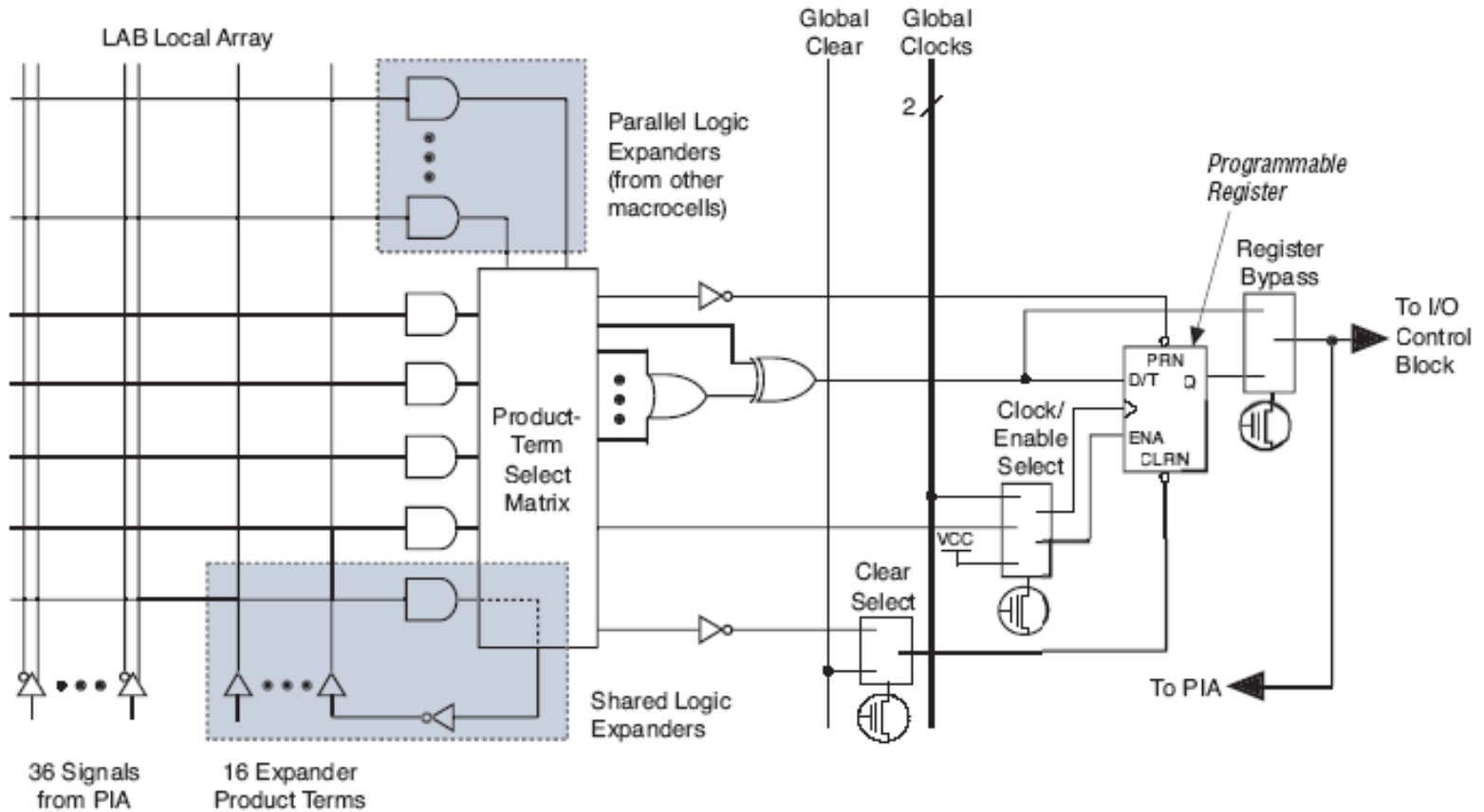
Dispositivos Lógicos Programables Complejos

Familia MAX3000A: Diagrama de bloques.



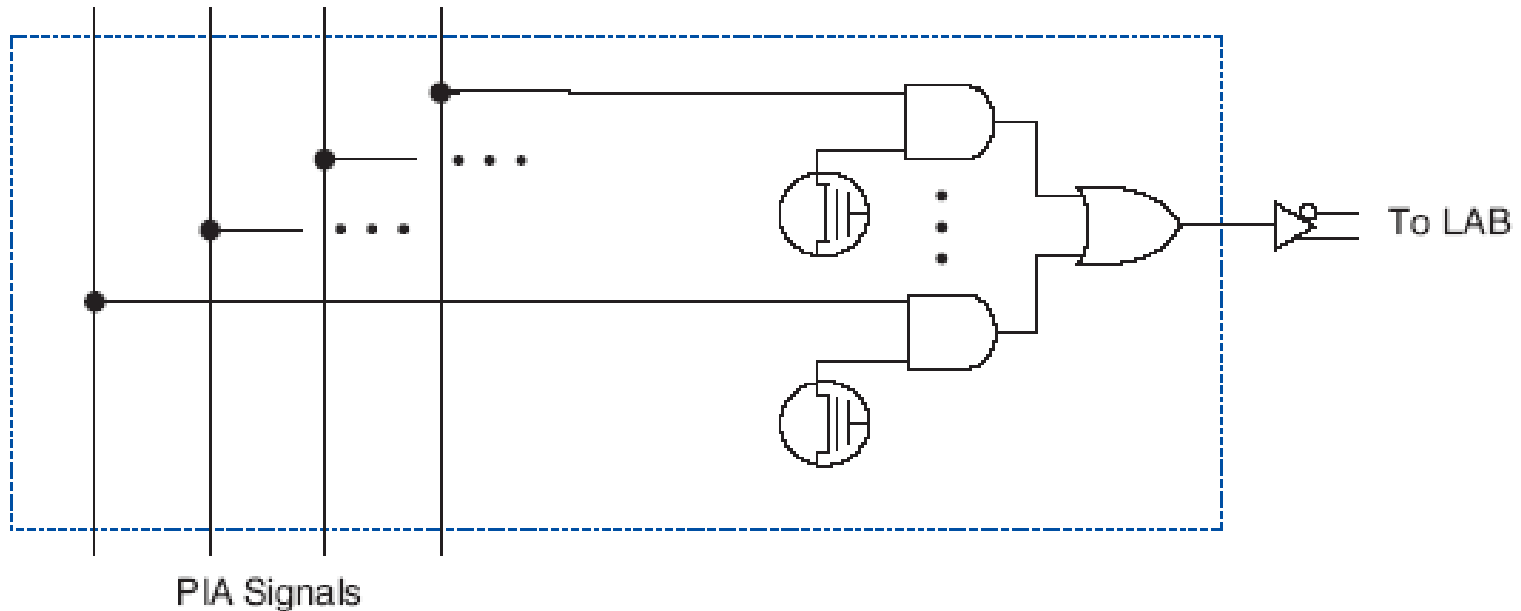
Dispositivos Lógicos Programables Complejos

Familia MAX3000A: Bloque Lógico (*Macrocell*).



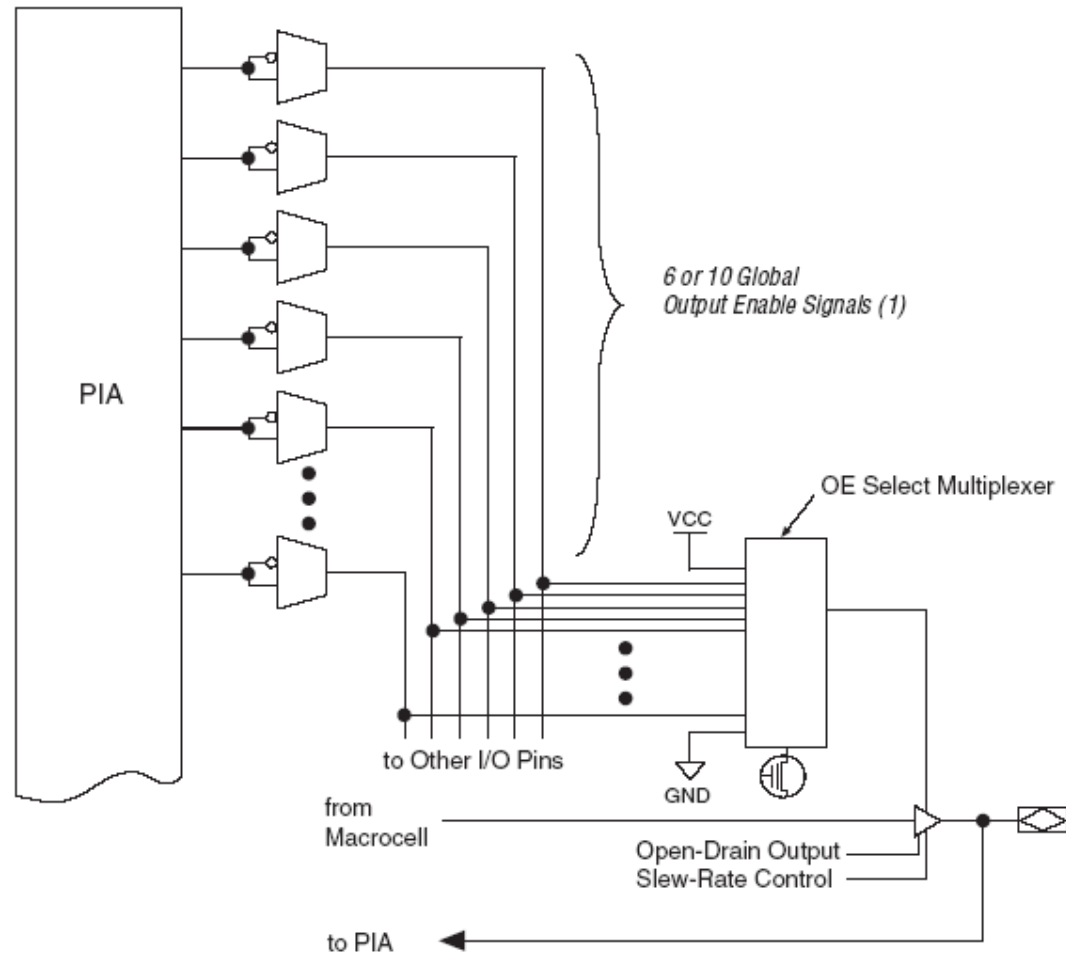
Dispositivos Lógicos Programables Complejos

Familia MAX3000A: Recursos de interconexión (PIA).



Dispositivos Lógicos Programables Complejos

Familia MAX3000A: Bloque de entrada/salida



Dispositivos Lógicos Programables Complejos

Familia MAX3000A: Características de algunos elementos de la familia:

	EPM3032A	...	EPM3128A	...	EPM3512A
Puertas	600		2.500		10.000
Macrocells	32		128		512
LABs	2		8		32
Pines I/O	36		98		208
F_{CNT}	227'3 MHz		192'3 MHz		116'3 MHz

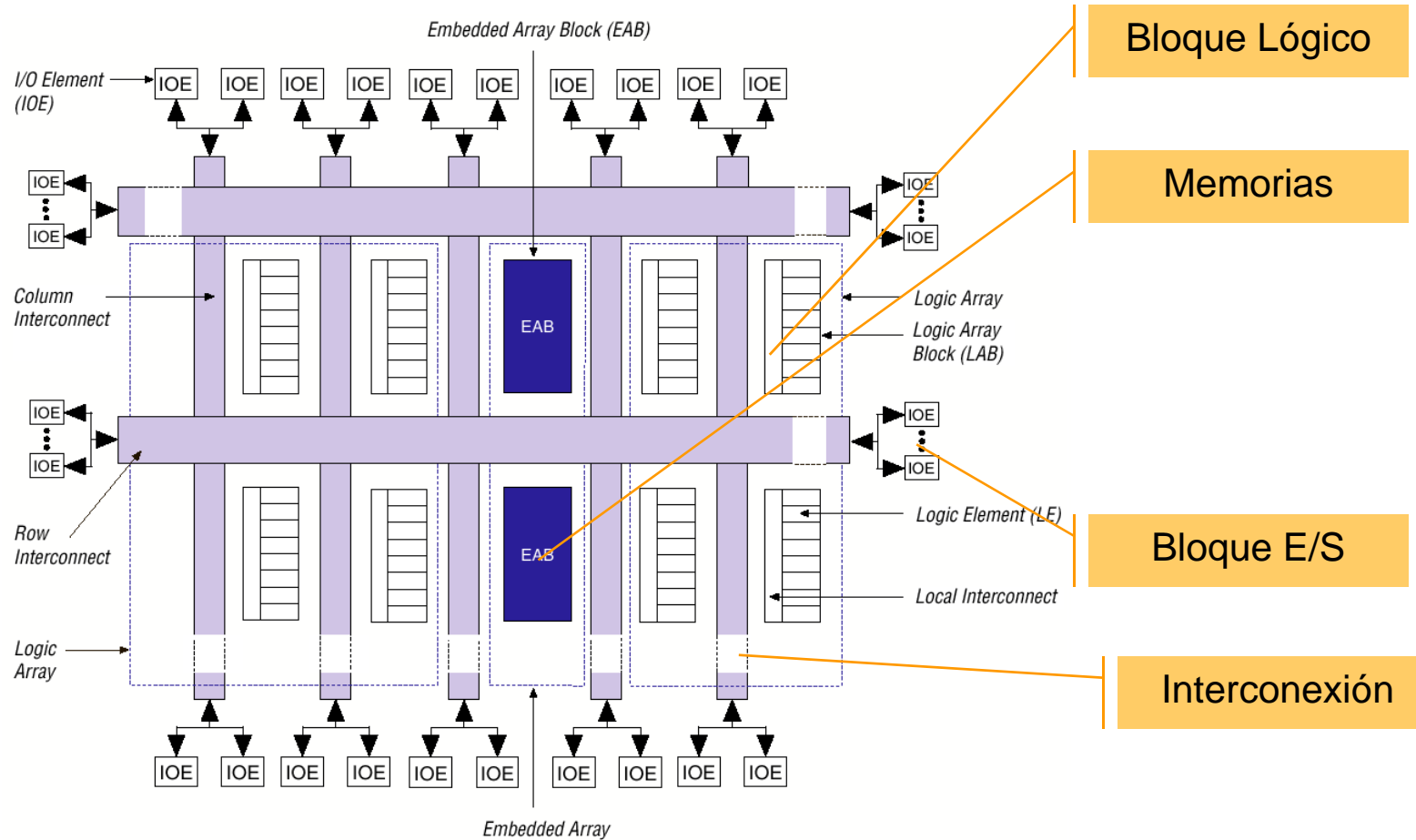
FPGAs

Elementos constitutivos.

- Bloques lógicos.
 - Permiten la materialización de las funciones lógicas.
 - Habitualmente son LUT (o multiplexores) y *flip-flops*.
- Bloques de entrada/salida.
 - Asociados a los pines del dispositivo.
 - Diversas configuraciones.
 - Control de *slew-rate*, salidas *open-drain*, PCI, multitensión...
- Memoria.
 - Bloques de memoria RAM utilizable como tal (simple o doble puerto), o como ROMs o FIFOs, o para materializar funciones lógicas.
- Recursos de interconexión.

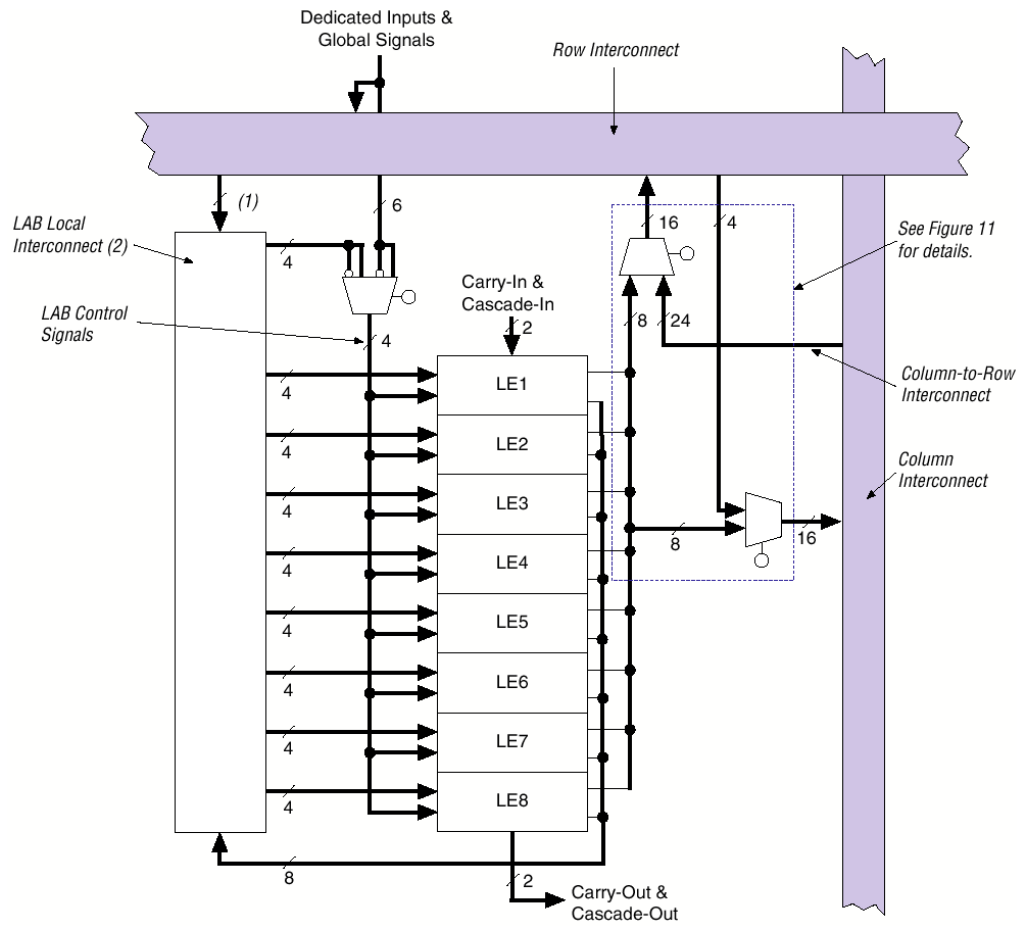
FPGAs

Familia FLEX10K: Diagrama de bloques.



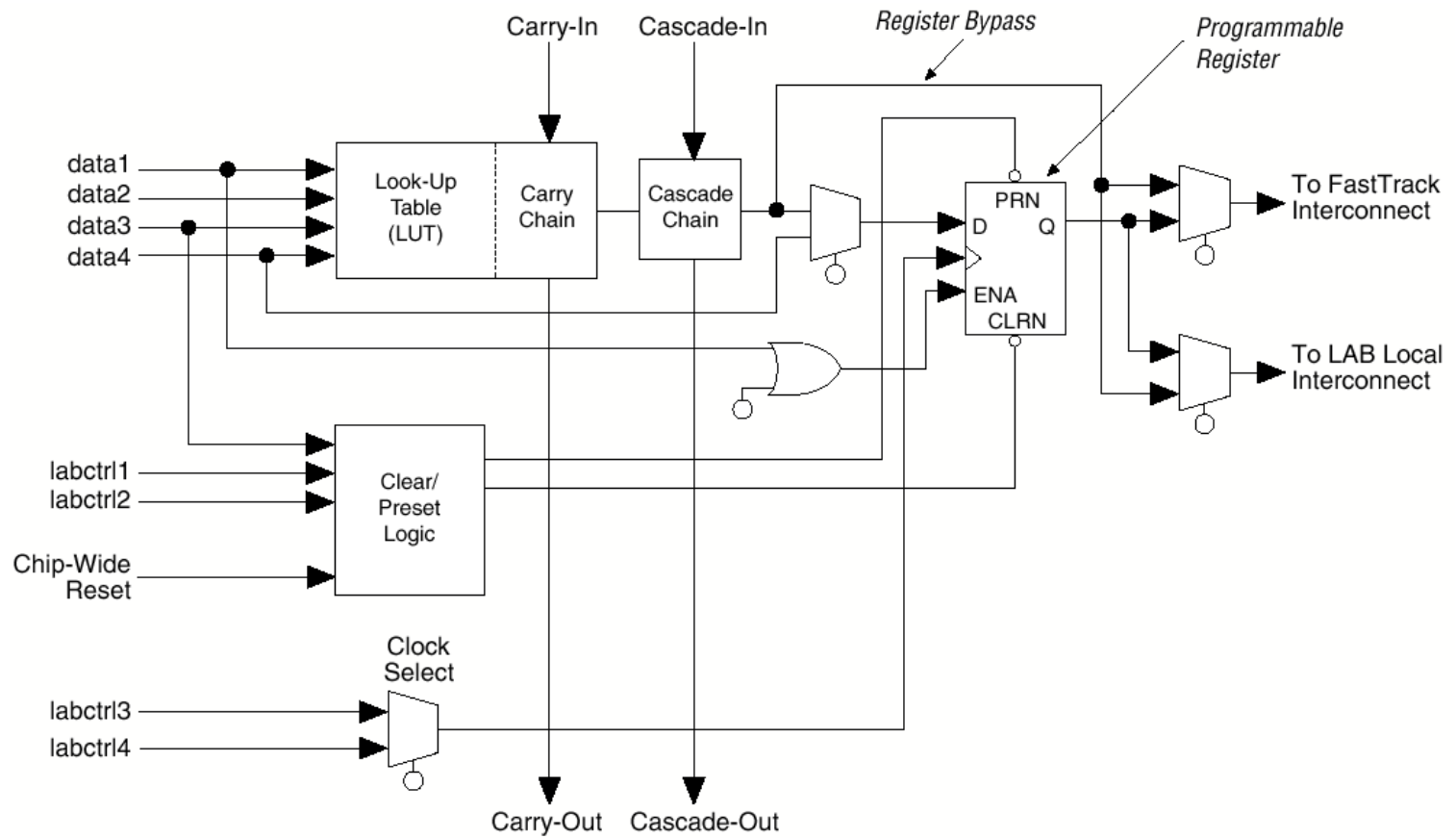
FPGAs

Familia FLEX10K: Bloque Lógico (*Logic Array Block*).



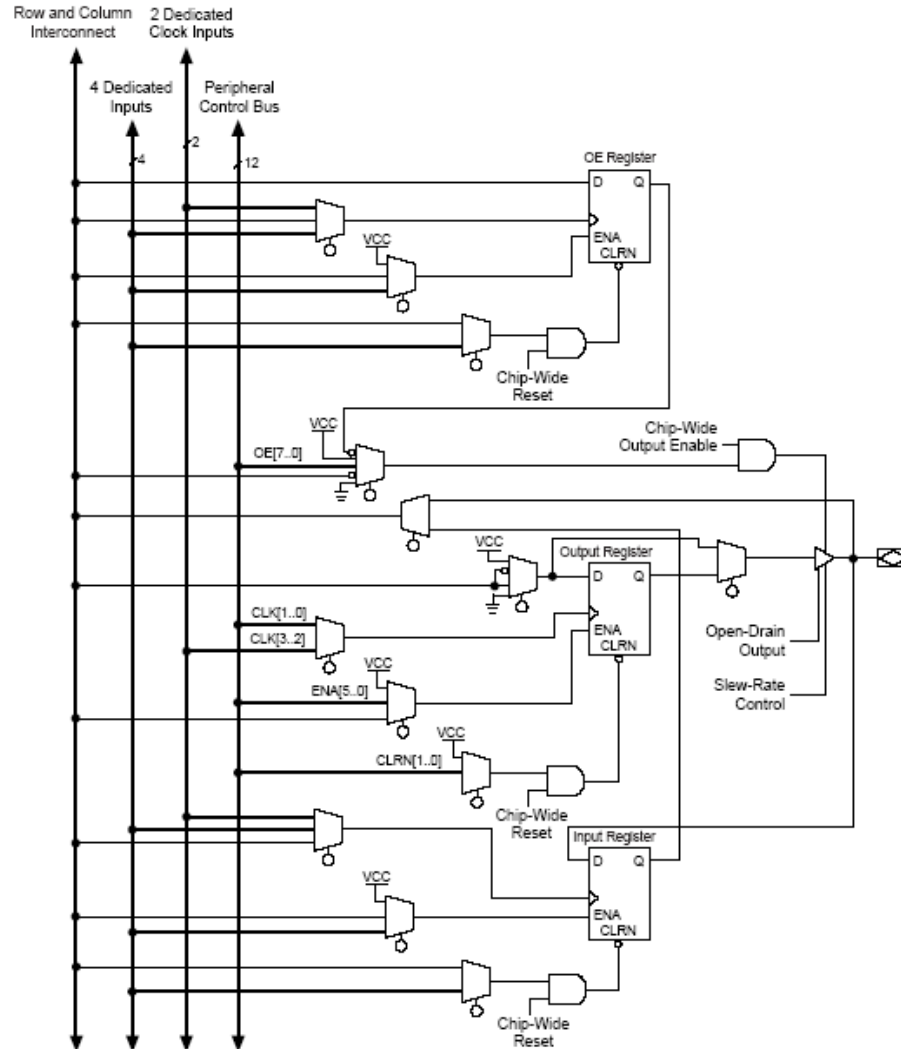
FPGAs

Familia FLEX10K: Bloque Lógico (*Logic Element, LE*).



FPGAs

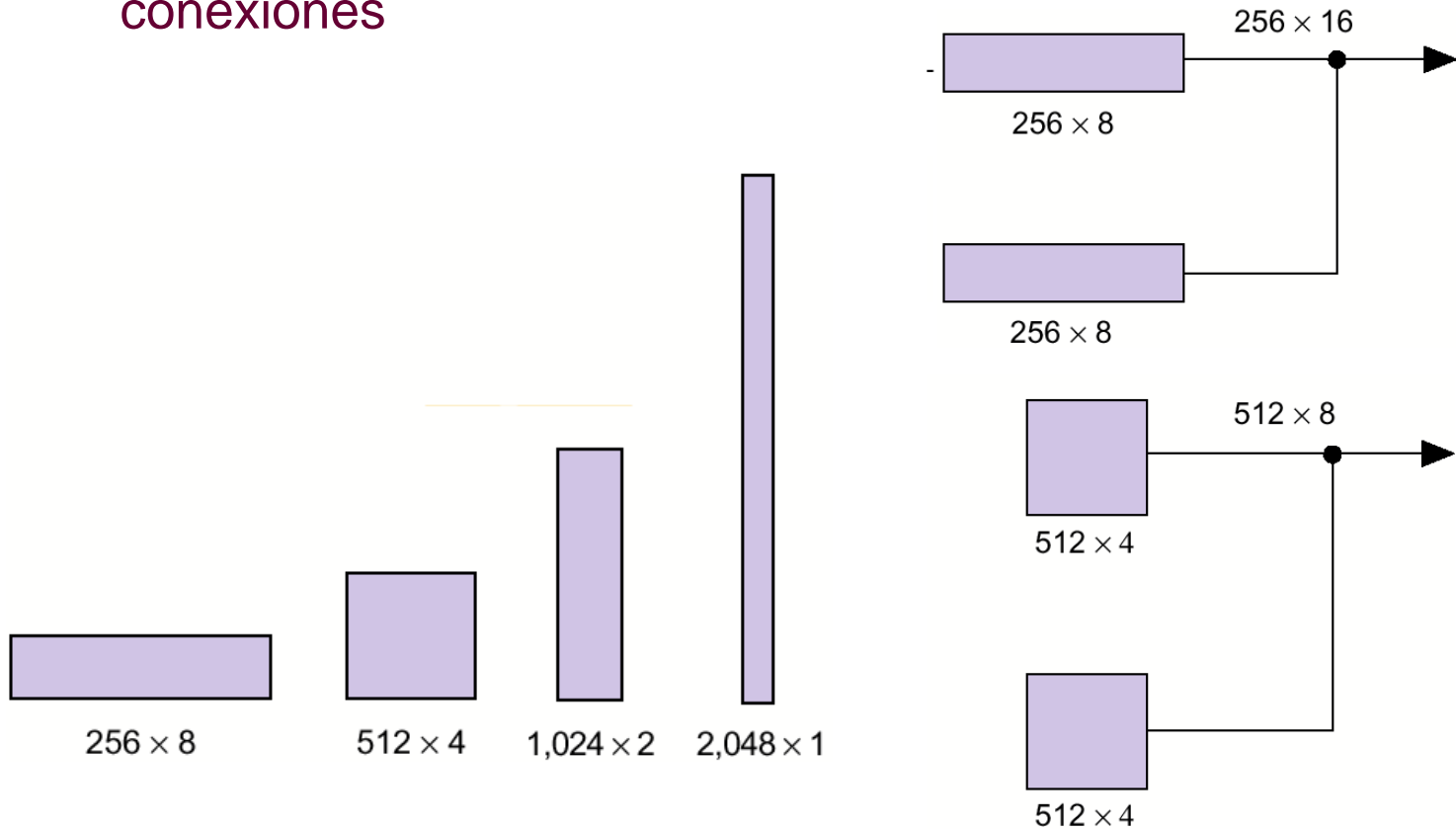
Familia FLEX10K:
Bloque de E/S
(IOE).



FPGAs

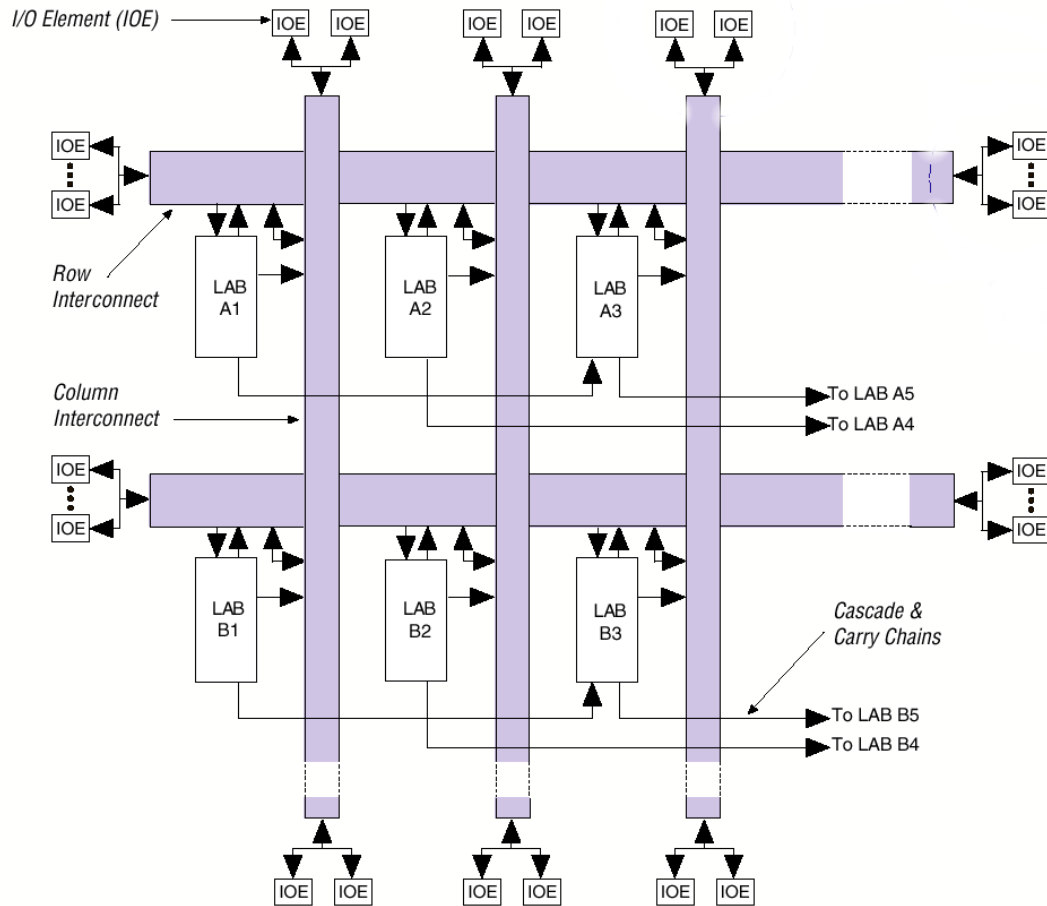
Familia FLEX10K: Memoria (*Embedded Array Block, EAB*).

- Bloques de RAM que admiten diversas configuraciones y conexiones



FPGAs

Familia FLEX10K: Recursos de Interconexión (*FastTrack*)



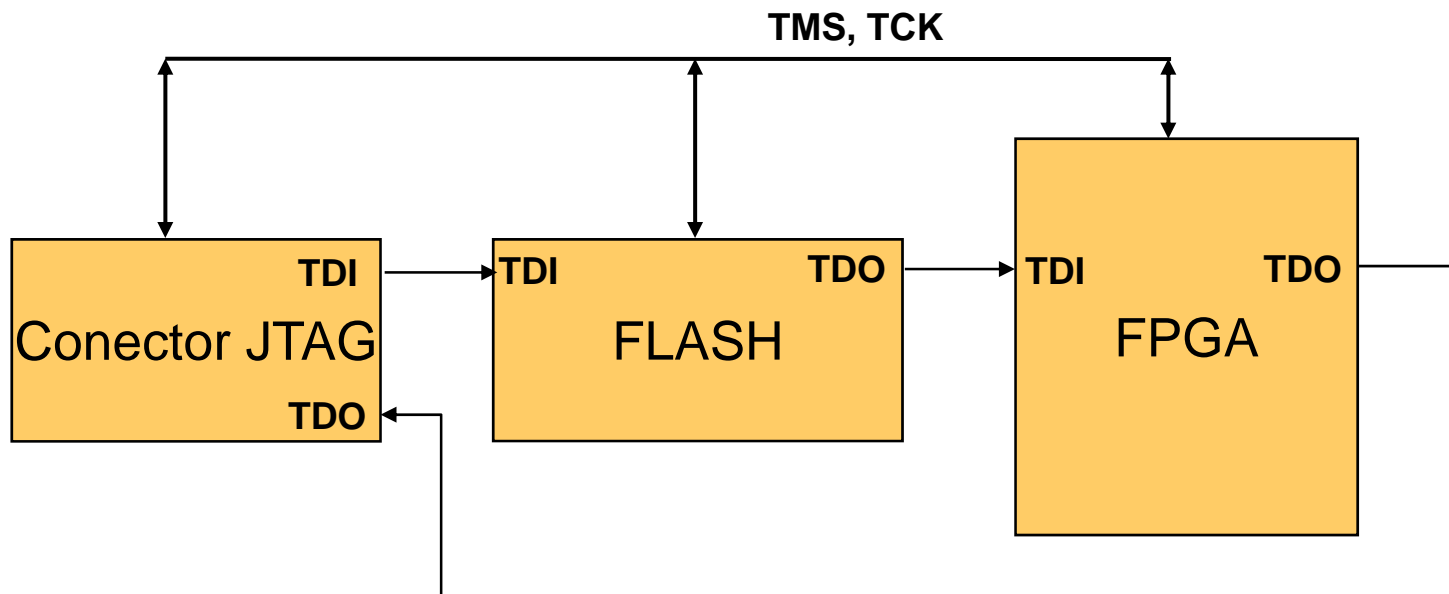
FPGAs

Familia FLEX10K: Modos de Configuración.

	Activo <i>(bajo control del FPGA)</i>	Pasivo <i>(bajo control exterior)</i>
Serie	<ul style="list-style-type: none">• EEPROM serie externa	<ul style="list-style-type: none">• Cable de configuración• Microprocesador externo• EEPROM serie externa
Paralelo	<ul style="list-style-type: none">• EEPROM paralelo externa	<ul style="list-style-type: none">• EEPROM paralelo externa• Microprocesador externo

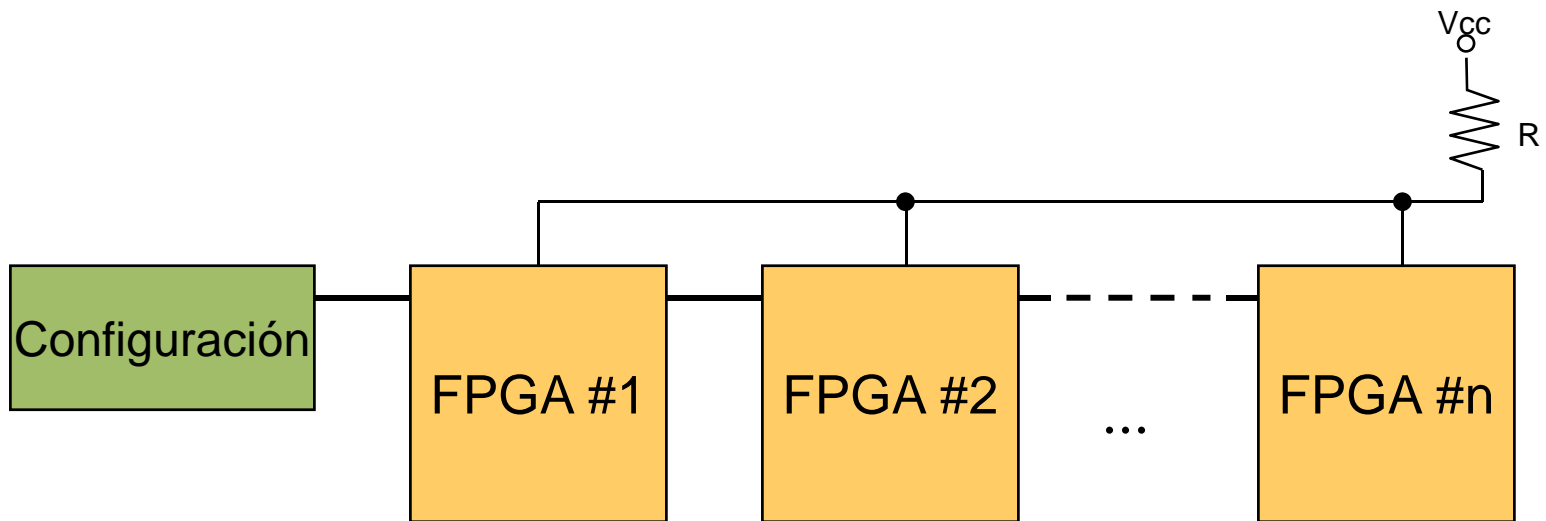
FPGAs

Familia FLEX10K: Configuración JTAG.



FPGAs

Familia FLEX10K: Configuración JTAG.



FPGAs

Familia FLEX10K: Tensiones de Alimentación.

- Subfamilias FLEX10K.
 - FLEX 10KE (2.5 V).
 - FLEX 10KA (3.3 V).
 - FLEX 10K (5.0 V).
- Pines de Vcc y GND diferentes para Núcleo (V_{CCINT}) y Entrada/Salida (V_{CCIO}).
- Tensiones de alimentación diferentes para Núcleo y Entrada/Salida.

FPGAs

Familia FLEX10K: Tensiones de Alimentación.

- Tolerancia a otros niveles de tensión.

	V_{CCINT}	V_{CCIO}	Entradas	Salidas
FLEX 10K	5.0	5.0	3.3 ó 5.0	5.0
	5.0	3.3	3.3 ó 5.0	3.3 ó 5.0
FLEX 10KA	3.3	3.3	2.5, 3.3, ó 5.0	3.3 ó 5.0
	3.3	2.5	2.5, 3.3, ó 5.0	2.5
FLEX 10KE	2.5	2.5	2.5, 3.3, ó 5.0	2.5
	2.5	3.3	2.5, 3.3, ó 5.0	2.5, 3.3, ó 5.0

FPGAs

Familia FLEX10K: Características de algunos elementos de la familia:

	EPF10K10	...	EPF10K250
Puertas	10.000		250.000
LEs	576		12.160
LABs	72		1.520
EABs	3 (6.144 bits)		20 (40.960 bits)
Pines I/O	150		470

FPGAs

Tendencias:

- Mayor densidad de integración (lógica y pines).
- Interfaces: LVDS, LVTTTL, LVCMOS, PCI, etc.
- Disminución de la tensión de alimentación.
- Multiplicadores Hardware.
- PLLs.
- Más flexibilidad en el manejo y la distribución de relojes.
Modos de *power down*.
- Líneas de retardo programables
- Más memoria.
- Mayor velocidad.

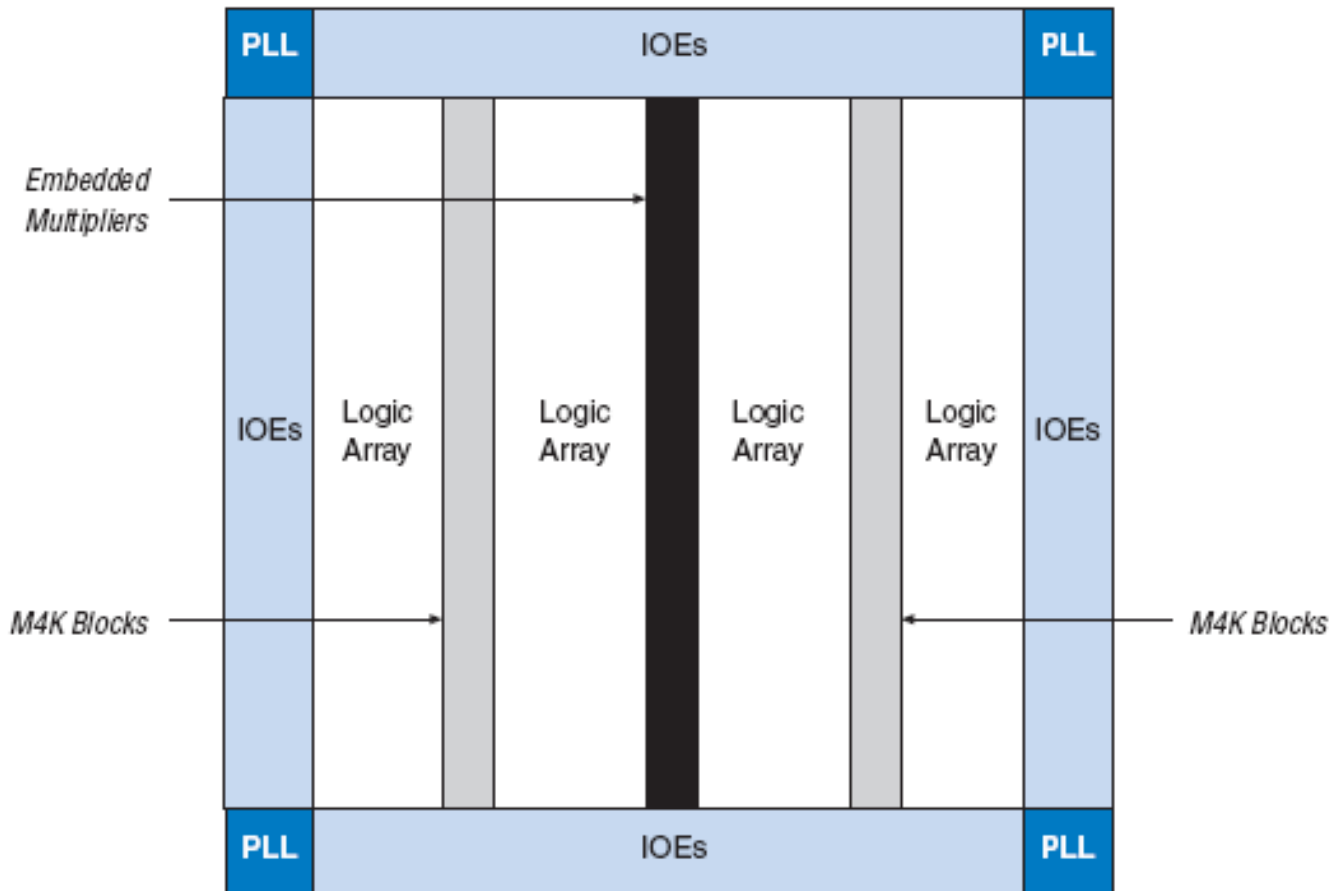
FPGAs

Familia Cyclone II: recursos

Cyclone-II	EP2C5	...	EP2C70
LEs	4.608		68.416
M4K RAM blocks (4Kbits+512 bits de paridad)	26		250
RAM bits	119.808		1.152.000
Multiplicadores	13		150
PLLs	2		4
Pines I/O	158		622

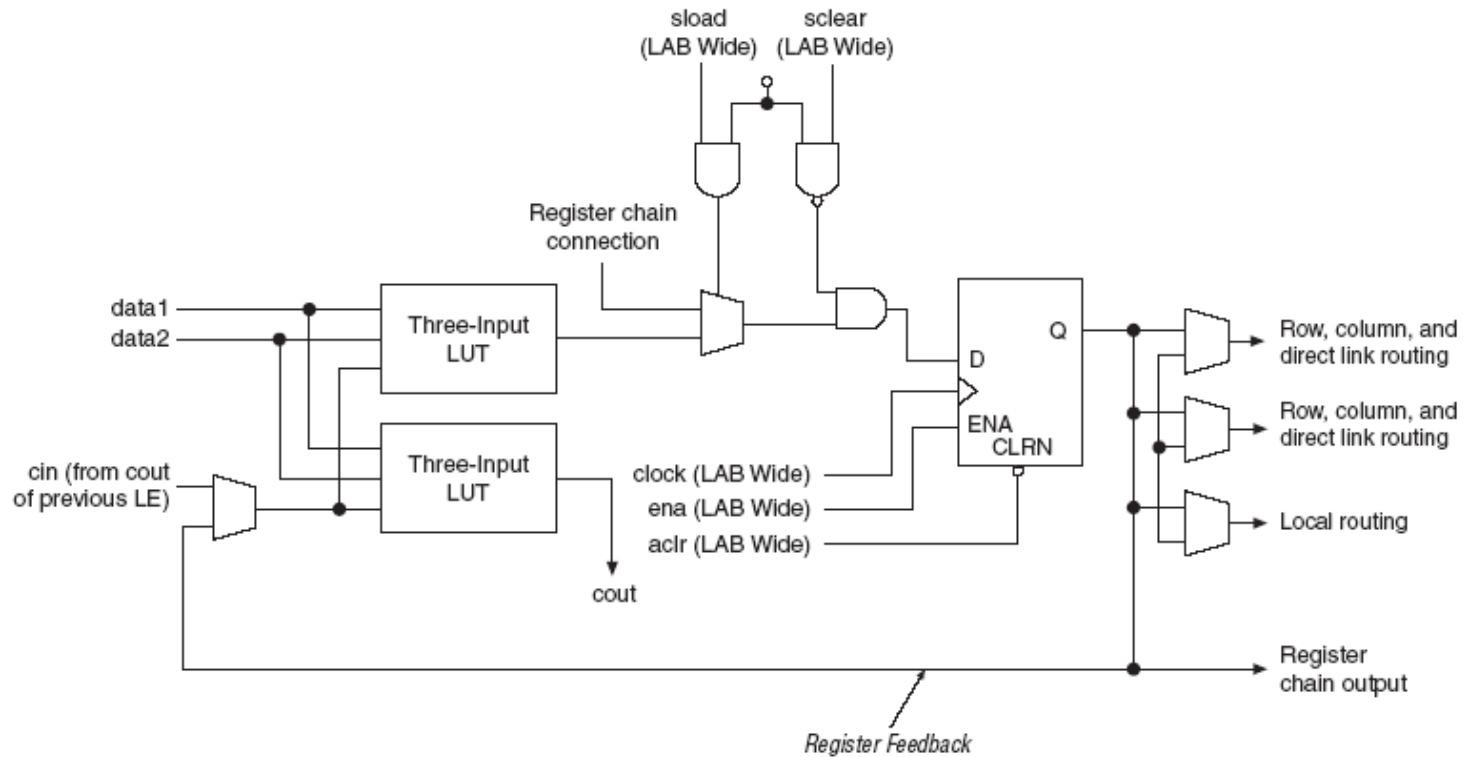
FPGAs

Familia Cyclone II: diagrama de bloques



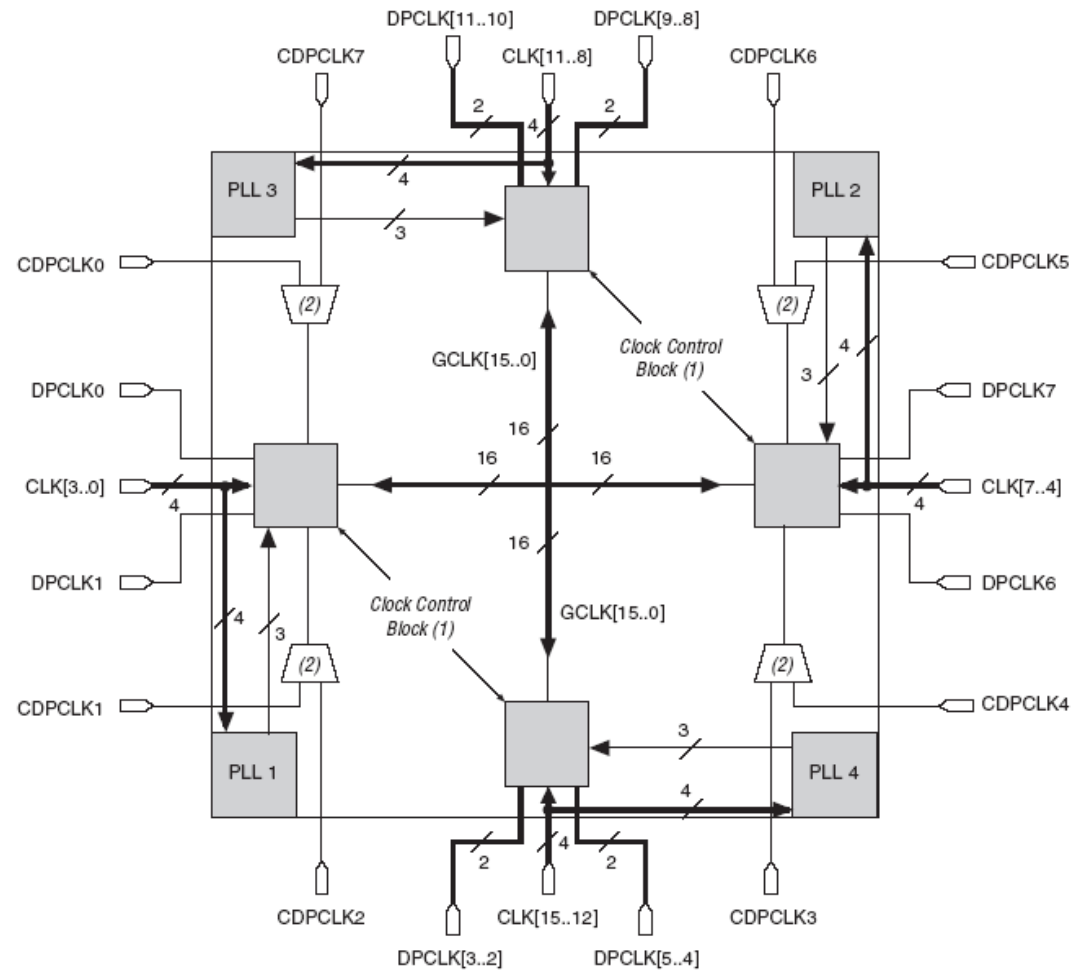
FPGAs

Familia Cyclone II: logic element (LE) en modo aritmético



FPGAs

Familia Cyclone II: distribución de reloj



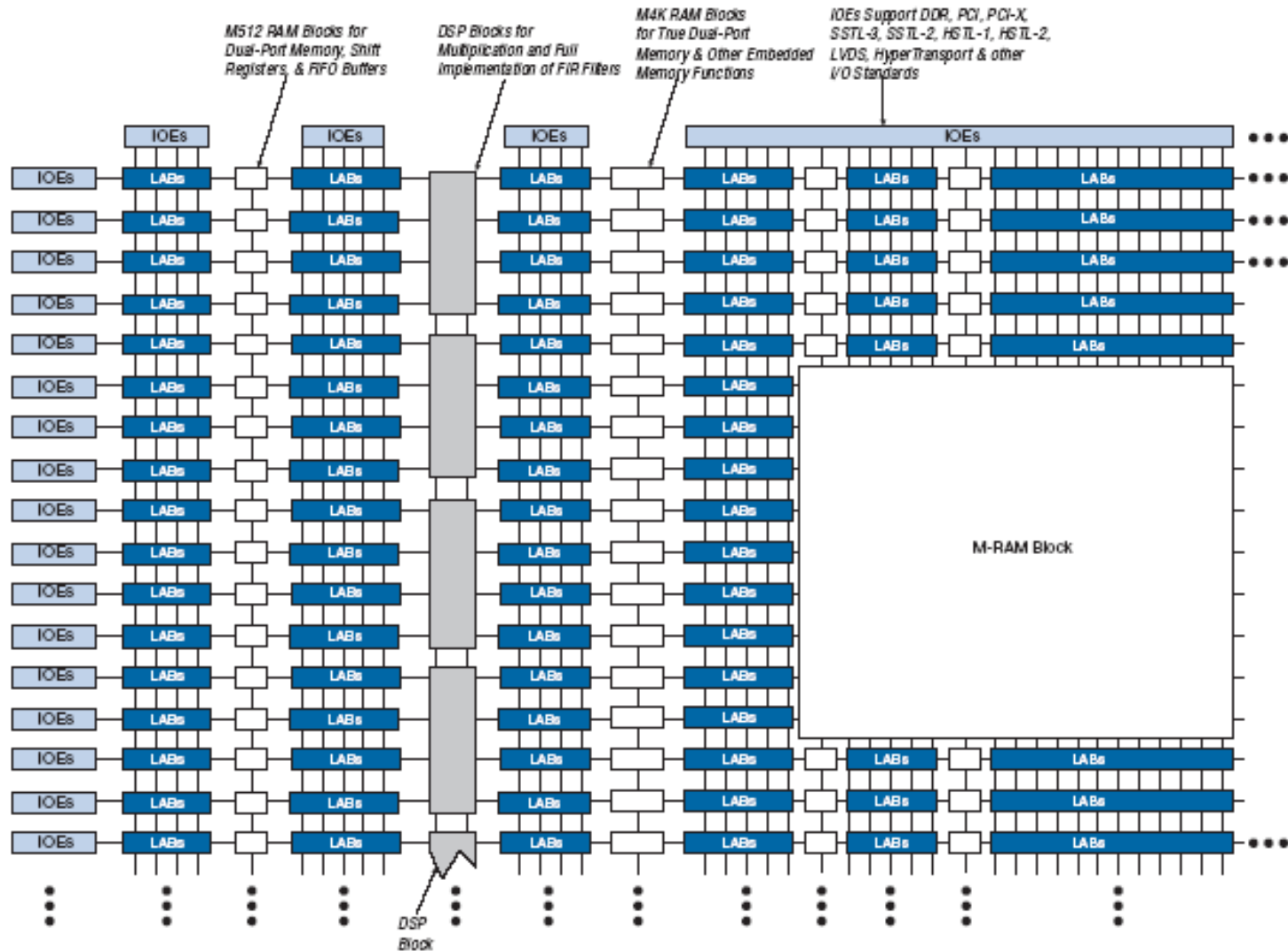
FPGAs

Familia Stratix II: recursos

Stratix-II	EP2S15	...	EP2S180
ALMs	6.240		71.760
LEs (equiv)	15.600		179.400
M512 RAM blocks 512 bits	104		930
M4K RAM blocks 4K bits	78		768
M-RAM blocks 512 K bits	0		9
RAM bits (total)	419.328		9.383.040
Bloques DSP/ Multiplicadores	12/48		96/384
PLLs	6		12
Pines I/O	366		1170

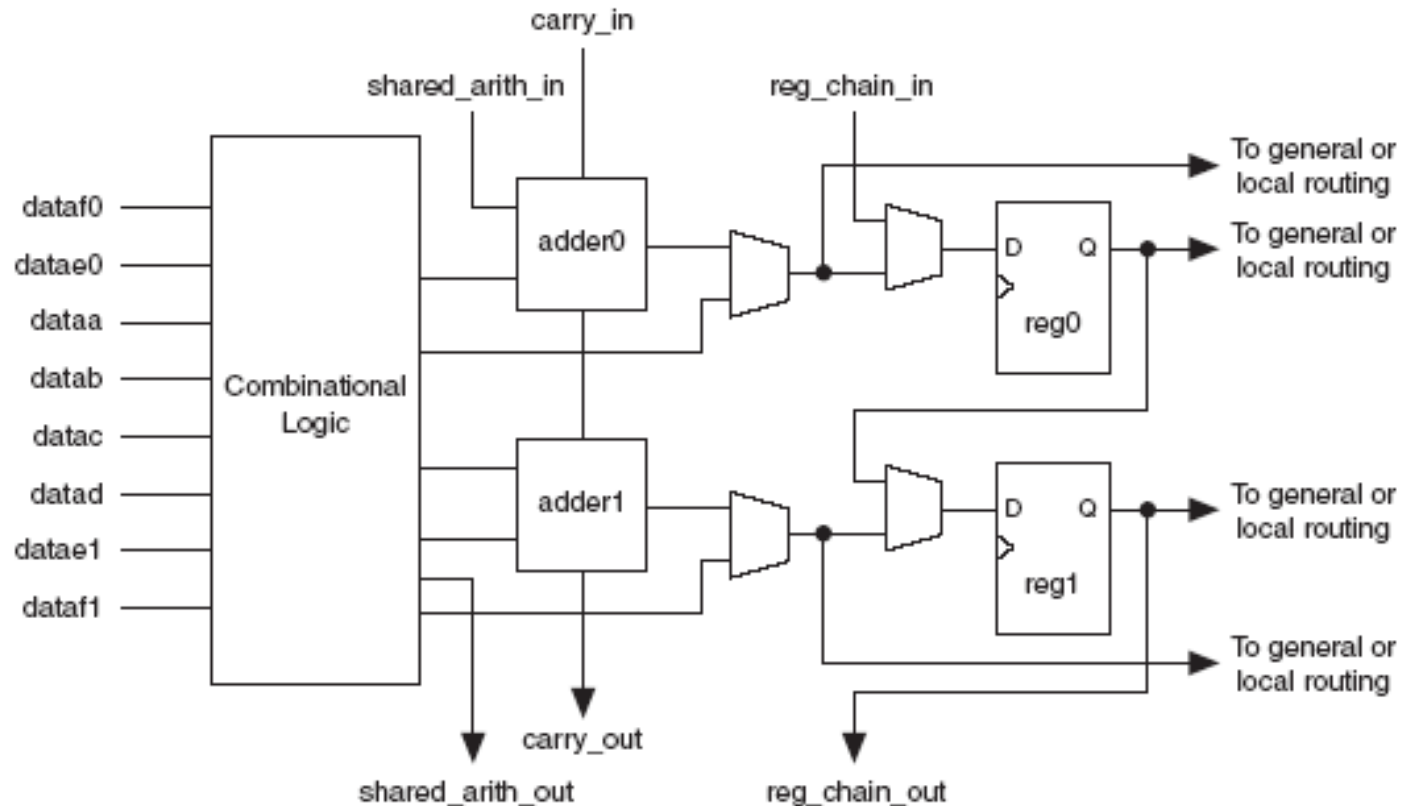
FPGAs

Familia Stratix II: diagrama de bloques



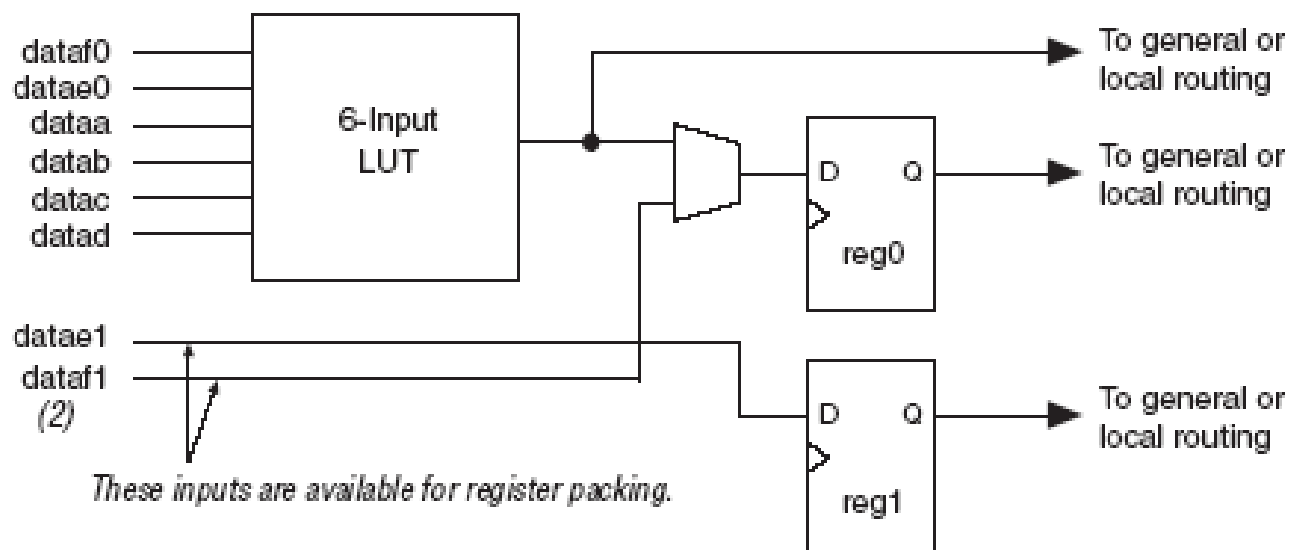
FPGAs

Familia Stratix II: adaptative logic modules (ALMs)



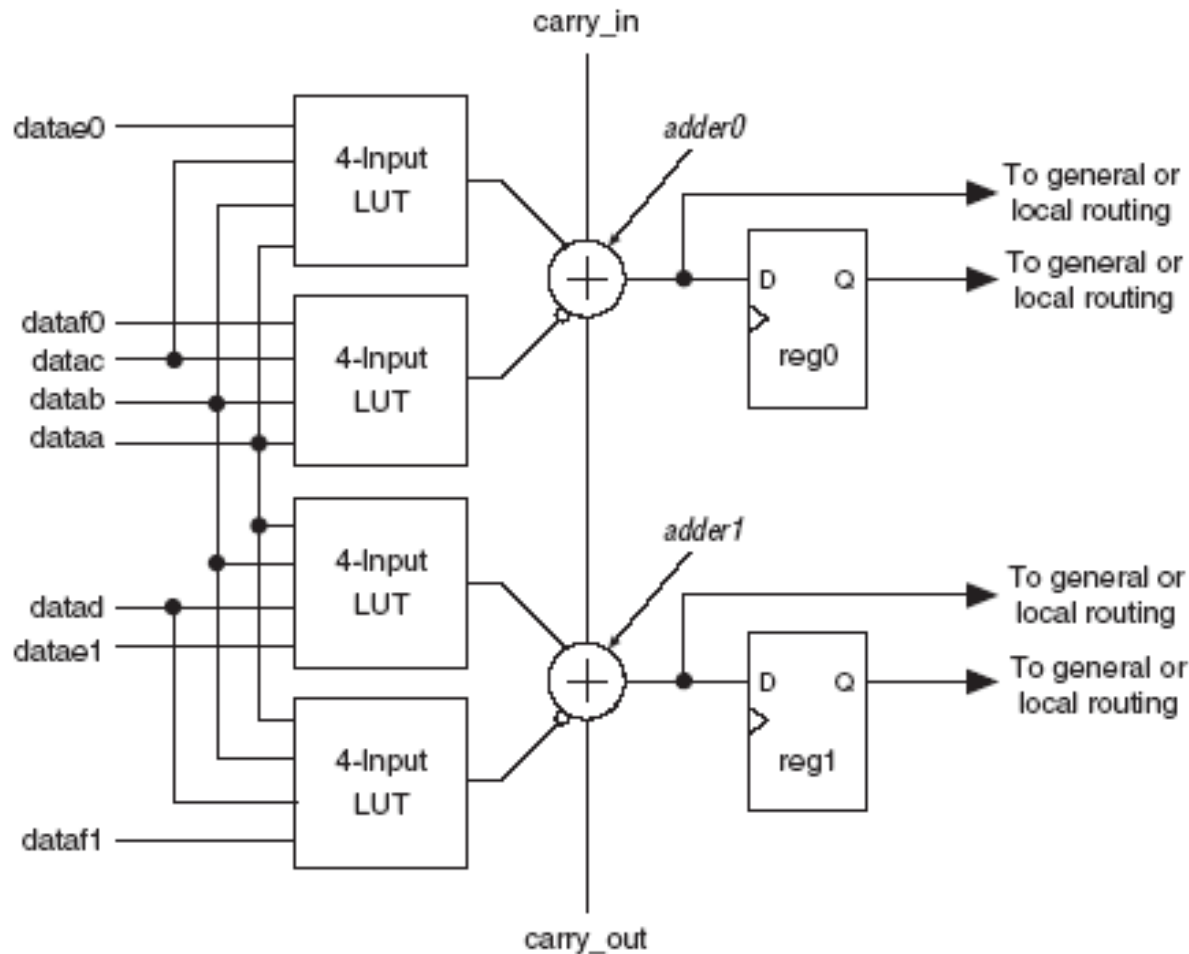
FPGAs

Familia Stratix II: ALM en modo normal para funciones de 6 entradas



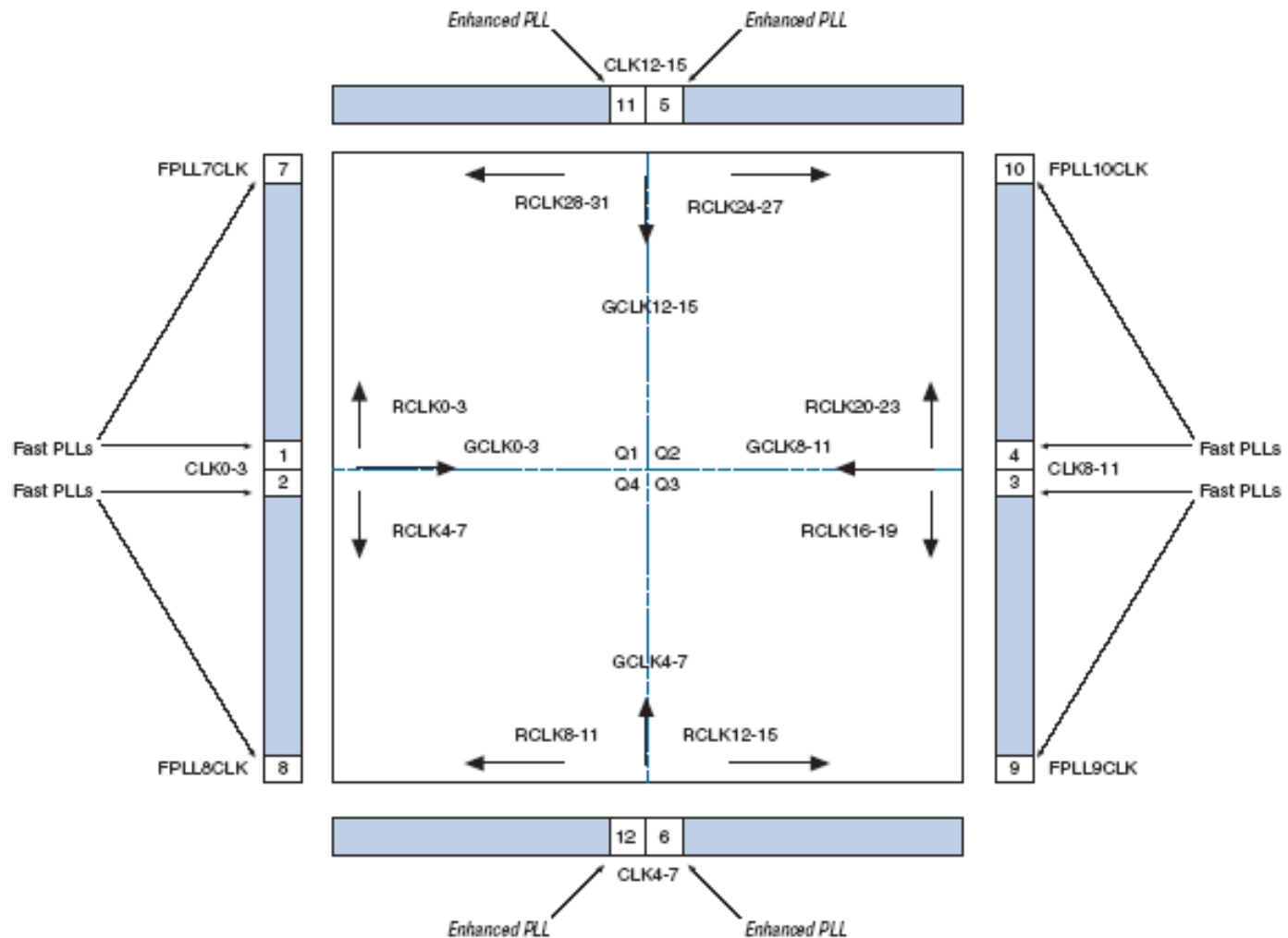
FPGAs

Familia Stratix II: ALM en modo aritmético



FPGAs

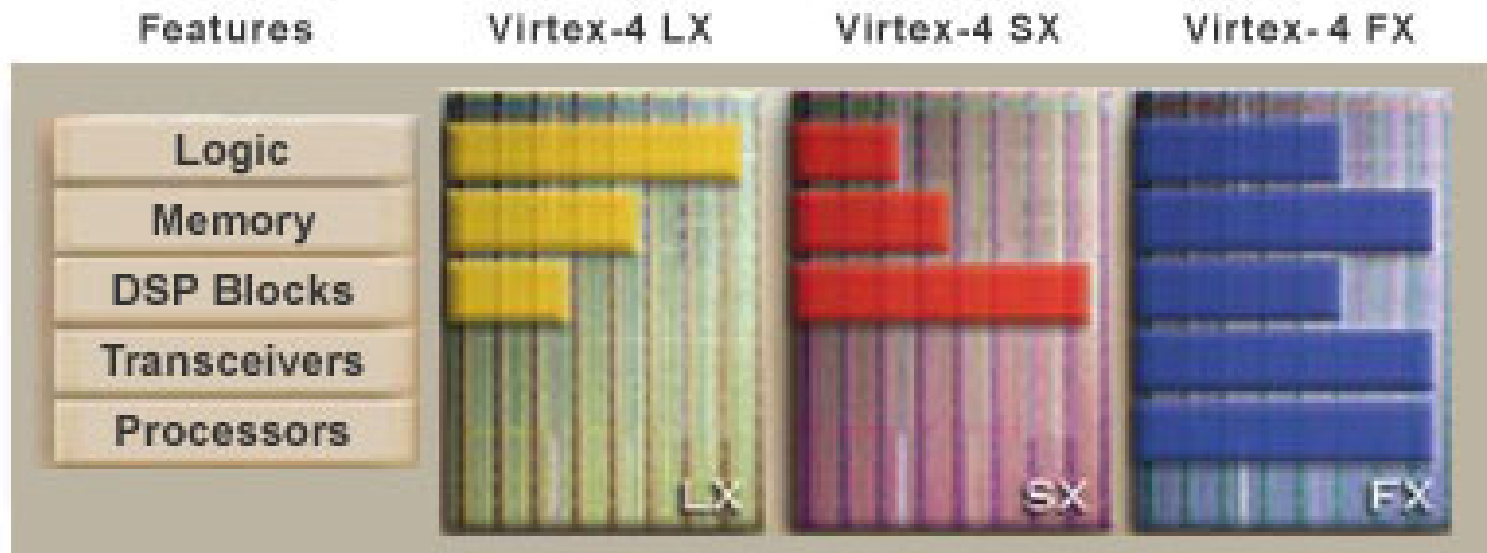
Familia Stratix II: distribución de reloj



FPGAs

Familia Virtex 4: 3 subfamilias

- LX, optimizada para aplicaciones lógicas
- SX, optimizada para aplicaciones de procesamiento digital de la señal .
- FX, optimizada para sistemas embebidos.



FPGAs

Familia Virtex 4: recursos

Virtex 4	XC4VLX15	...	XC4VLX200
CLBs	1.536		22.272
RAM blocks 18 Kbits	48		336
RAM bits (total)	884.736		6.193.152
Bloques DSP	32		96
DCMs	4		12
Pines I/O	320		960

PLDs con procesadores empotrados

Elementos constitutivos.

– FPGA:

- Bloques lógicos.
- Bloques de entrada/salida.
- Memoria.
- Recursos de interconexión.
- Multiplicadores y Acumuladores para Procesado Digital
- ...

– Microprocesador y Periféricos.

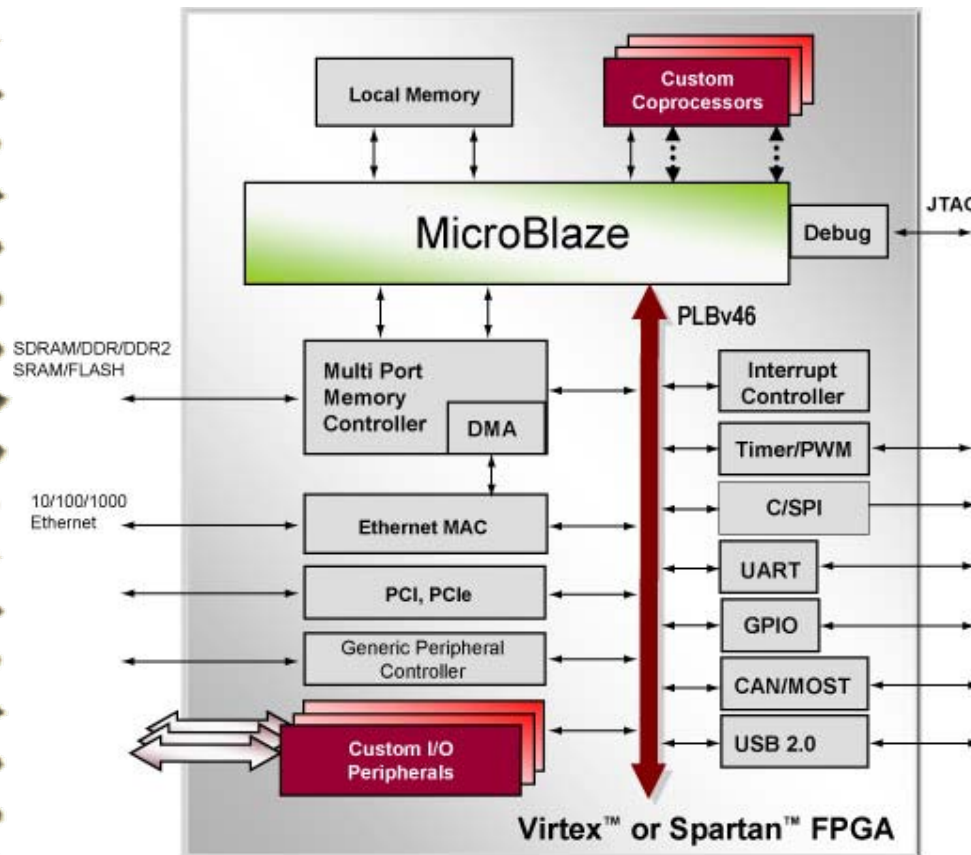
PLDs con procesadores empotrados

Familia Virtex 4 FX

- 1 ó 2 Power PC 405 cores
 - Arquitectura Harvard de 32 bits.
 - Caches de 16 KB integradas para instrucciones y datos.
 - Interfaz eficiente con los bloques de RAM del FPGA.
- 2 ó 4 EMAC cores
 - 10/100/1000 Mb/s
- RocketIO Transceiver
 - 8-24 canales
 - 622Mb/s-6.5 Gb/s.

PLDs con procesadores empotrados

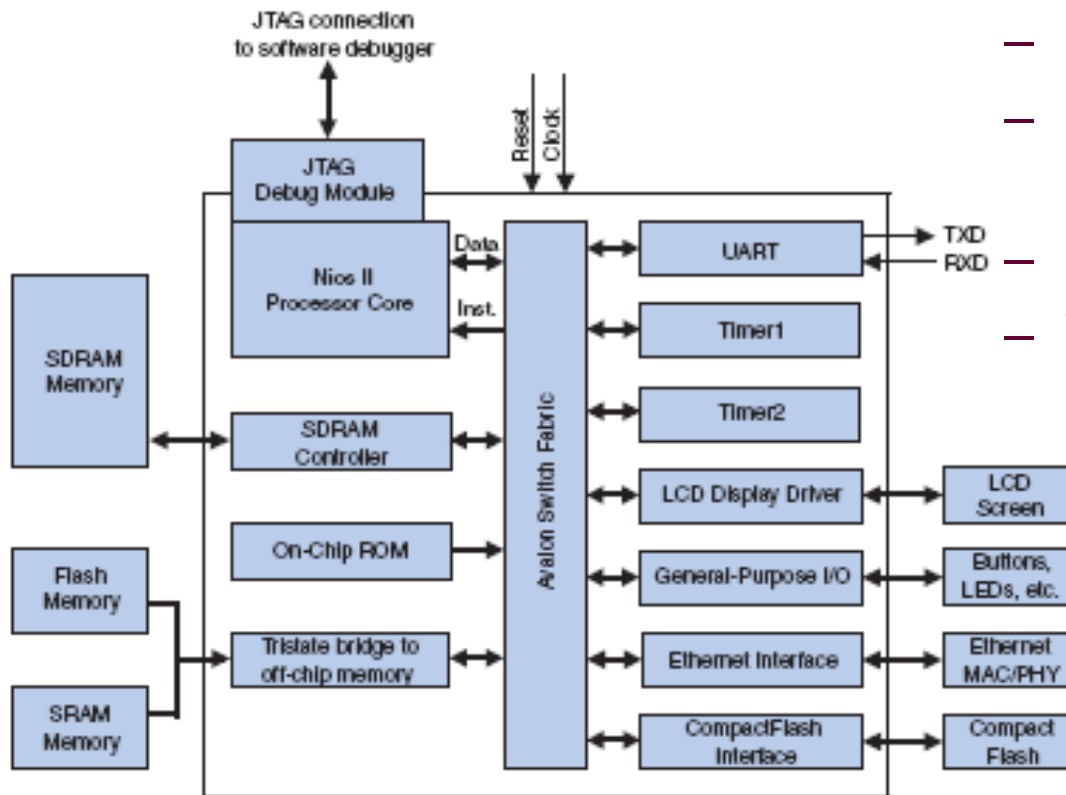
Soft cores: MicroBlaze



- IP de Xilinx
- Cores de los periféricos más comunes
- Herramientas de desarrollo GNU
- Varios RTOS

PLDs con procesadores empotrados

Soft cores: NIOS II



- IP de Altera
- Cores de los periféricos más comunes
- Entorno de desarrollo
- Varios RTOS

Consideraciones para la elección de un PLD

Complejidad del diseño:

- Area.
 - Número de puertas y *flip-flops*.
 - RAM integrada.
 - Otros recursos (triestado internos, multiplicadores, etc.).
- Velocidad.
 - Frecuencia de reloj.
 - Retardo de bloque lógico y de conexionado.
 - Tipo de funciones (n^0 de variables y n^0 de minitérminos).
- Número de entradas y salidas.
 - Entradas o salidas especiales (*open-drain*, PCI, LVDS ...).


Consideraciones para la elección de un PLD

Características de sistema:

- Tipo de encapsulado.
 - Accesibilidad a los pines (test).
 - Precio.
- Configuración.
 - Fuera del sistema o *in system* (requiere conector).
 - No volátil o volátil (precisa, además, elemento de configuración).
- Tensiones de alimentación.
 - Reguladores para obtenerlas.
 - Compatibilidad con otros circuitos del sistema.

Consideraciones para la elección de un PLD

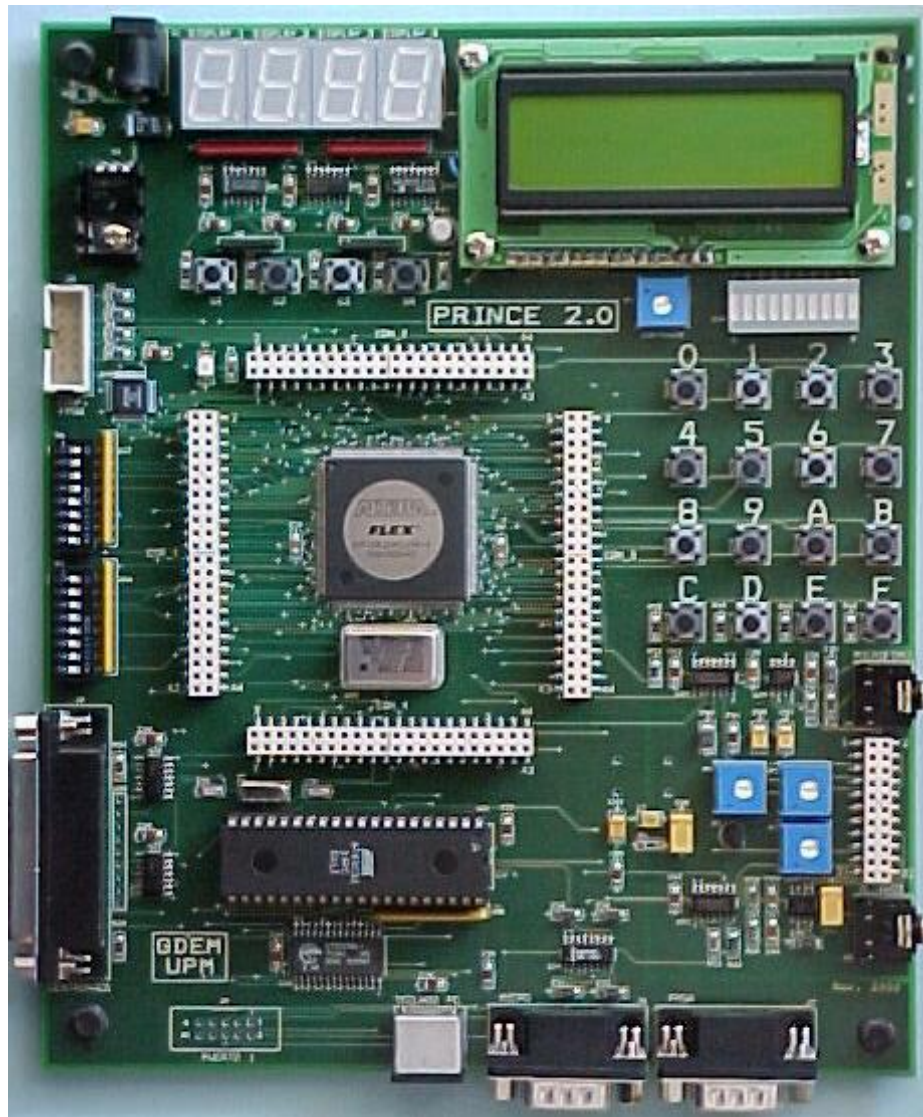
Otros aspectos:

- Herramientas de desarrollo.
 - Disponibilidad (precio).
 - Prestaciones y calidad.
- Disponibilidad de IPs.
- **PRECIO.** 

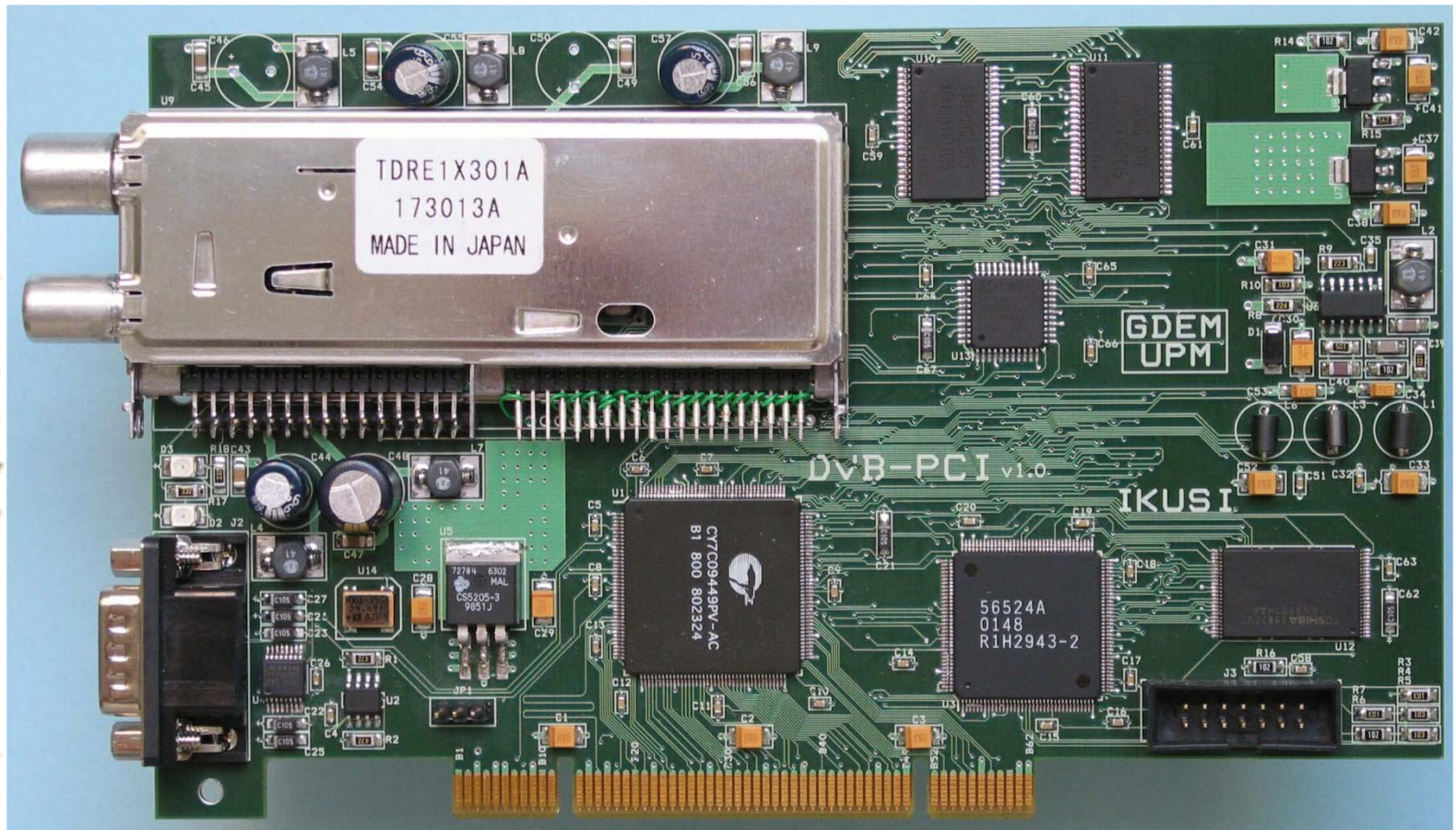
Precios Dispositivos Lógicos Programables

Dispositivo	Familia	LEs	RAM (bits)	DSP blocks / Multipliers	Pines de E/S de usuario	Precio (USD)
EPF10K30	Flex 10K	1.728	12.288	-	246	-
EPM3032	Max 3000A	42 (eq)	-	-	34	1.2-2.4
EPM3512	Max 3000A	666 (eq)	-	-	208	42.5-70
EP1C3	Cyclone	2.910	59.904	-	104	10.7-16.0
EP1C4	Cyclone	4.000	78.336	-	301	19.2-28.8
EP1C20	Cyclone	20.060	294.912	-	301	65.7-98.7
EP2C5	Cyclone II	4.608	119.808	- / 13	150	12.8-17.9
EP2C70	Cyclone II	68.416	1.152.000	- / 150	622	235-307
EP1S10	Stratix	10.570	920.448	6 / 48	426	190-350
EP1S80	Stratix	79.040	7.427.520	22 / 176	1.238	4.980-7.195
EP2S15	Stratix II	15.600 (eq)	419.328	12 / 48	366	190-265
EP2S180	Stratix II	179.400 (eq)	9.383.040	96 / 384	1.170	6.135-9.350

Ejemplos



Ejemplos



Ejemplos

